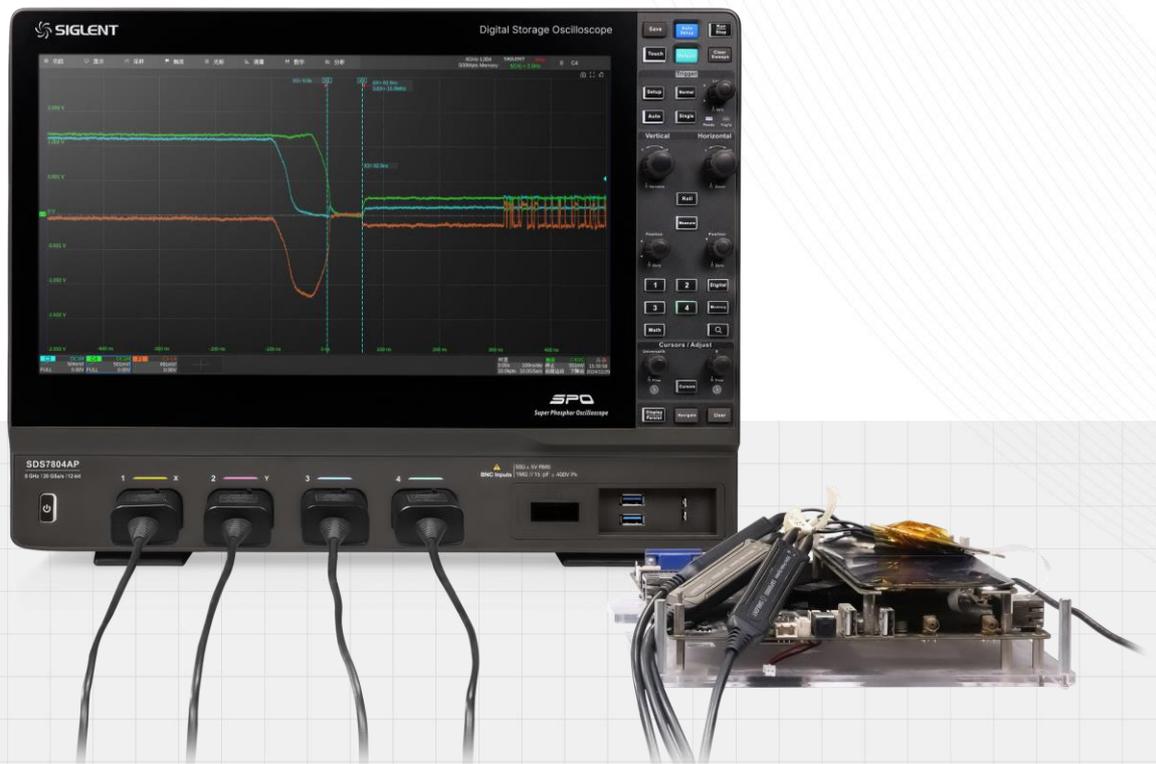


# MIPI\_D-PHY

## 电气一致性测试

用户手册

CN01A



深圳市鼎阳科技股份有限公司  
SIGLENT TECHNOLOGIES CO.,LTD



# 目录

<b>1</b>	<b>引言</b> .....	<b>10</b>
<b>2</b>	<b>测试设备</b> .....	<b>11</b>
2.1	设备需求.....	11
2.2	连接方式和对应可测试项目说明.....	12
2.2.1	使用单端探头连接数据通道和时钟通道（连接方式 1）.....	15
2.2.2	使用单端探头连接数据通道，使用差分探头连接时钟通道（连接方式 2）.....	19
2.2.3	使用差分探头连接数据通道，使用单端探头连接时钟通道（连接方式 3）.....	21
2.2.4	使用单端探头连接数据通道，不连接时钟通道（连接方式 4）.....	23
2.2.5	使用单端探头连接时钟通道，不连接数据通道（连接方式 5）.....	25
2.3	使用官方夹具的连接示意图.....	27
<b>3</b>	<b>一致性测试软件</b> .....	<b>29</b>
3.1	测试项配置.....	30
3.2	结果查看.....	34
3.3	报告生成设置.....	35
<b>4</b>	<b>数据通道 LP-TX 信号要求 (Group 1)</b> .....	<b>37</b>
4.1	Test-1.1.1 数据通道 LP-TX Thevenin 输出高电平电压 ( $V_{OH}$ ).....	37
4.1.1	测试设置.....	37
4.1.2	测试步骤.....	37
4.1.3	测量数据通道 LP-TX Thevenin 输出高电平电压 ( $V_{OH}$ ).....	37
4.2	Test-1.1.2 数据通道 LP-TX Thevenin 输出低电平电压 ( $V_{OL}$ ).....	39
4.2.1	测试设置.....	39
4.2.2	测试步骤.....	39
4.2.3	测量数据通道 LP-TX Thevenin 输出低电平电压 ( $V_{OL}$ ).....	39
4.3	Test-1.1.3 数据通道 LP-TX 15%-85%上升时间 ( $T_{RLP}$ ).....	41
4.3.1	测试设置.....	41
4.3.2	测试步骤.....	41
4.3.3	测量数据通道 LP-TX 15%-85%上升时间 ( $T_{RLP}$ ).....	41
4.4	Test-1.1.4 数据通道 LP-TX 15%-85%下降时间 ( $T_{FLP}$ ).....	43
4.4.1	测试设置.....	43
4.4.2	测试步骤.....	43
4.4.3	测量数据通道 LP-TX 15%-85%下降时间 ( $T_{FLP}$ ).....	43
4.5	Test-1.1.5 数据通道 LP-TX 压摆率与负载电容的关系 ( $\delta V/\delta t_{SR}$ ).....	45
4.5.1	测试设置.....	45

4.5.2	测试步骤 .....	45
4.5.3	测量数据通道 LP-TX 压摆率与负载电容的关系 ( $\delta V/\delta t_{SR}$ ) .....	45
4.6	Test-1.1.6 数据通道 LP-TX 异或时钟的脉冲宽度 ( $T_{LP-PULSE-TX}$ ) .....	49
4.6.1	测试设置 .....	49
4.6.2	测试步骤 .....	49
4.6.3	测量数据通道 LP-TX 异或时钟的脉冲宽度 ( $T_{LP-PULSE-TX}$ ) .....	49
4.7	Test-1.1.7 数据通道 LP-TX 异或时钟周期 ( $T_{LP-PER-TX}$ ) .....	52
4.7.1	测试设置 .....	52
4.7.2	测试步骤 .....	52
4.7.3	测量数据通道 LP-TX 异或时钟周期 ( $T_{LP-PER-TX}$ ) .....	52
<b>5</b>	<b>时钟通道 LP-TX 信号要求 (Group 2) .....</b>	<b>54</b>
5.1	Test-1.2.1 时钟通道 LP-TX Thevenin 输出高电平电压 ( $V_{OH}$ ) .....	54
5.1.1	测试设置 .....	54
5.1.2	测试步骤 .....	54
5.1.3	测量时钟通道 LP-TX Thevenin 输出高电平电压 ( $V_{OH}$ ) .....	54
5.2	Test-1.2.2 时钟通道 LP-TX Thevenin 输出低电平电压 ( $V_{OL}$ ) .....	56
5.2.1	测试设置 .....	56
5.2.2	测试步骤 .....	56
5.2.3	测量时钟通道 LP-TX Thevenin 输出低电平电压 ( $V_{OL}$ ) .....	56
5.3	Test-1.2.3 时钟通道 LP-TX 15%-85%上升时间 ( $T_{RLP}$ ) .....	58
5.3.1	测试设置 .....	58
5.3.2	测试步骤 .....	58
5.3.3	测量时钟通道 LP-TX 15%-85%上升时间 ( $T_{RLP}$ ) .....	58
5.4	Test-1.2.4 时钟通道 LP-TX 15%-85%下降时间 ( $T_{FLP}$ ) .....	60
5.4.1	测试设置 .....	60
5.4.2	测试步骤 .....	60
5.4.3	测量时钟通道 LP-TX 15%-85%上下下降时间 ( $T_{FLP}$ ) .....	60
5.5	Test-1.2.5 时钟通道 LP-TX 压摆率与负载电容的关系 ( $\delta V/\delta t_{SR}$ ) .....	62
5.5.1	测试设置 .....	62
5.5.2	测试步骤 .....	62
5.5.3	时钟通道 LP-TX 压摆率与负载电容的关系 ( $\delta V/\delta t_{SR}$ ) .....	62
<b>6</b>	<b>数据通道 HS-TX 信号要求 (Group 3) .....</b>	<b>64</b>
6.1	Test-1.3.1 数据通道 HS Entry:低功耗发送至高速模式转换值 .....	64
6.1.1	测试设置 .....	64
6.1.2	测试步骤 .....	64

6.1.3	测量数据通道 HS Entry:低功耗发送至高速模式转换值 .....	64
6.2	Test-1.3.2 数据通道 HS Entry:高速模式准备时间值 .....	67
6.2.1	测试设置 .....	67
6.2.2	测试步骤 .....	67
6.2.3	测量数据通道 HS Entry:高速模式准备时间值 .....	67
6.3	Test-1.3.3 数据通道 HS Entry:高速模式准备时间值与高速零状态时间值之和.....	69
6.3.1	测试设置 .....	69
6.3.2	测试步骤 .....	69
6.3.3	测量数据通道 HS Entry:高速模式准备时间值与高速零状态时间值之和 .....	69
6.4	Test-1.3.4 数据通道 HS-TX 差分电压 ( $V_{OD(0)}$ 、 $V_{OD(1)}$ ) 值.....	71
6.4.1	测试设置 .....	71
6.4.2	测试步骤 .....	71
6.4.3	测量数据通道 HS-TX 差分电压 ( $V_{OD(0)}$ 、 $V_{OD(1)}$ ) 值.....	71
6.5	Test-1.3.5 数据通道 HS TX 差分电压失配 ( $\Delta V_{OD}$ ).....	74
6.5.1	测试设置 .....	74
6.5.2	测试步骤 .....	74
6.5.3	测量数据通道 HS-TX 差分电压失配 ( $\Delta V_{OD}$ ).....	74
6.6	Test-1.3.6 数据通道 HS-TX 单端输出高电压 ( $V_{OHHS(DP)}$ 、 $V_{OHHS(DN)}$ ) .....	76
6.6.1	测试设置 .....	76
6.6.2	测试步骤 .....	76
6.6.3	测量数据通道 HS-TX 单端输出高电压 ( $V_{OHHS(DP)}$ 、 $V_{OHHS(DN)}$ ) .....	76
6.7	Test-1.3.7 数据通道 HS-TX 静态共模电压 ( $V_{CMTX(1)}$ 、 $V_{CMTX(0)}$ ) .....	78
6.7.1	测试设置 .....	78
6.7.2	测试步骤 .....	78
6.7.3	测量数据通道 HS-TX 静态共模电压 ( $V_{CMTX(1)}$ 、 $V_{CMTX(0)}$ ) .....	78
6.8	Test-1.3.8 数据通道 HS-TX 静态共模电压失配 ( $\Delta V_{CMTX(1,0)}$ ).....	80
6.8.1	测试设置 .....	80
6.8.2	测试步骤 .....	80
6.8.3	测量数据通道 HS-TX 静态共模电压失配 ( $\Delta V_{CMTX(1,0)}$ ).....	80
6.9	Test-1.3.9 数据通道 HS-TX 在 50-450 MHz 范围内的动态共模电平变化 ( $\Delta V_{CMTX(LF)}$ ).....	82
6.9.1	测试设置 .....	82
6.9.2	测试步骤 .....	82
6.9.3	测量数据通道 HS-TX 在 50-450 MHz 范围内的动态共模电平变化 ( $\Delta V_{CMTX(LF)}$ )....	82
6.10	Test-1.3.10 数据通道 HS-TX 在 450MHz 以上的动态共模电平变化 ( $\Delta V_{CMTX(HF)}$ ).....	85
6.10.1	测试设置 .....	85
6.10.2	测试步骤 .....	85
6.10.3	测量数据通道 HS-TX 在 450MHz 以上的动态共模电平变化 ( $\Delta V_{CMTX(HF)}$ ) .....	85

6.11	Test-1.3.11 数据通道 HS-TX 20%-80% 上升时间 ( $t_R$ )	87
6.11.1	测试设置	87
6.11.2	测试步骤	87
6.11.3	数据通道 HS-TX 20%-80% 上升时间 ( $t_R$ )	87
6.12	Test-1.3.12 数据通道 HS-TX 80%-20% 下降时间 ( $t_F$ )	89
6.12.1	测试设置	89
6.12.2	测试步骤	89
6.12.3	测量数据通道 HS-TX 80%-20% 下降时间 ( $t_F$ )	89
6.13	Test-1.3.13 数据通道 HS Exit: 高速模式退出值	91
6.13.1	测试设置	91
6.13.2	测试步骤	91
6.13.3	测量 4.15 数据通道 HS Exit: 高速模式退出时间值	91
6.14	Test-1.3.14 数据通道 LP TX: 30%-85% 信号传输后上升时间 ( $T_{REOT}$ )	93
6.14.1	测试设置	93
6.14.2	测试步骤	93
6.14.3	测量数据通道 LP TX: 30%-85% 信号传输后上升时间 ( $T_{REOT}$ )	93
6.15	Test-1.3.15 数据通道 HS Exit: 退出结束时间值	95
6.15.1	测试设置	95
6.15.2	测试步骤	95
6.15.3	测量数据通道 HS Exit: 退出时间结束值	95
6.16	Test-1.3.16 数据通道 HS Exit: 高速退出时间值	97
6.16.1	测试设置	97
6.16.2	测试步骤	97
6.16.3	测量数据通道 HS Exit: 高速退出时间值	97
<b>7</b>	<b>时钟通道 HS-TX 信号要求 (Group 4)</b>	<b>99</b>
7.1	Test-1.4.1 时钟通道 HS Entry:低功耗发送至高速模式转换值	99
7.1.1	测试设置	99
7.1.2	测试步骤	99
7.1.3	测量时钟通道 HS Entry:低功耗发送至高速模式转换值	99
7.2	Test-1.4.2 时钟通道 HS Entry:时钟高速模式准备时间值	101
7.2.1	测试设置	101
7.2.2	测试步骤	101
7.2.3	测量时钟通道 HS Entry:时钟高速模式准备时间值	101
7.3	Test-1.4.3 时钟通道 HS Entry:时钟高速模式准备时间值与时钟高速零状态时间之和	103
7.3.1	测试设置	103
7.3.2	测试步骤	103

7.3.3	测量时钟通道 HS Entry:时钟高速模式准备时间值与时钟高速零状态时间值之和...	103
7.4	Test-1.4.4 时钟通道 HS-TX 差分电压 ( $V_{OD(0)}$ 、 $V_{OD(1)}$ ) .....	105
7.4.1	测试设置 .....	105
7.4.2	测试步骤 .....	105
7.4.3	测量时钟通道 HS-TX 差分电压 ( $V_{OD(0)}$ 、 $V_{OD(1)}$ ) 值 .....	105
7.5	Test-1.4.5 时钟通道 HS TX 差分电压失配 ( $\Delta V_{OD}$ ) .....	108
7.5.1	测试设置 .....	108
7.5.2	测试步骤 .....	108
7.5.3	测量时钟通道 HS-TX 差分电压失配 ( $\Delta V_{OD}$ ).....	108
7.6	Test-1.4.6 时钟通道 HS-TX 单端输出高电压 ( $V_{OHHS(DP)}$ 、 $V_{OHHS(DN)}$ ) .....	110
7.6.1	测试设置 .....	110
7.6.2	测试步骤 .....	110
7.6.3	测量时钟通道 HS-TX 单端输出高电压 ( $V_{OHHS(DP)}$ 、 $V_{OHHS(DN)}$ ) .....	110
7.7	Test-1.4.7 时钟通道 HS-TX 静态共模电压 ( $V_{CMTX(1)}$ 、 $V_{CMTX(0)}$ ) .....	112
7.7.1	测试设置 .....	112
7.7.2	测试步骤 .....	112
7.7.3	测量时钟通道 HS-TX 差分电压 ( $V_{OD(0)}$ 、 $V_{OD(1)}$ ) 值 .....	112
7.8	Test-1.4.8 时钟通道 HS-TX 静态共模电压失配 ( $\Delta V_{CMTX(1,0)}$ ).....	114
7.8.1	测试设置 .....	114
7.8.2	测试步骤 .....	114
7.8.3	测量时钟通道 HS-TX 静态共模电压失配 ( $\Delta V_{CMTX(1,0)}$ ).....	114
7.9	Test-1.4.9 时钟通道 HS-TX 在 50-450 MHz 范围内的动态共模电平变化 ( $\Delta V_{CMTX(LF)}$ ).....	116
7.9.1	测试设置 .....	116
7.9.2	测试步骤 .....	116
7.9.3	测量时钟通道 HS-TX 在 50-450 MHz 范围内的动态共模电平变化 ( $\Delta V_{CMTX(LF)}$ )... ..	116
7.10	Test-1.4.10 时钟通道 HS-TX 在 450MHz 以上的动态共模电平变化 ( $\Delta V_{CMTX(HF)}$ ).....	119
7.10.1	测试设置 .....	119
7.10.2	测试步骤 .....	119
7.10.3	测量时钟通道 HS-TX 在 450MHz 以上的动态共模电平变化 ( $\Delta V_{CMTX(HF)}$ ).....	119
7.11	Test-1.4.11 时钟通道 HS-TX 20%-80% 上升时间 ( $t_R$ ) .....	121
7.11.1	测试设置 .....	121
7.11.2	测试步骤 .....	121
7.11.3	测量时钟通道 HS-TX 20%-80% 上升时间 ( $t_R$ ).....	121
7.12	Test-1.4.12 数时钟通道 HS-TX 80%-20% 下降时间 ( $t_F$ ).....	123
7.12.1	测试设置 .....	123
7.12.2	测试步骤 .....	123
7.12.3	测量时钟通道 HS-TX 80%-20% 下降时间 ( $t_F$ ).....	123

7.13	Test-1.4.13 时钟通道 HS Exit: 时钟高速模式退出时间值	125
7.13.1	测试设置	125
7.13.2	测试步骤	125
7.13.3	测量时钟通道 HS Exit: 时钟高速模式退出时间值	125
7.14	Test-1.4.14 时钟通道 LP TX: 30%-85% 信号传输后上升时间 ( $T_{REOT}$ )	127
7.14.1	测试设置	127
7.14.2	测试步骤	127
7.14.3	测量时钟通道 LP TX: 30%-85% 信号传输后上升时间 ( $T_{REOT}$ )	127
7.15	Test-1.4.15 时钟通道 HS Exit: 退出结束时间值	129
7.15.1	测试设置	129
7.15.2	测试步骤	129
7.15.3	测量时钟通道 HS Exit: 退出结束时间值	129
7.16	Test-1.4.16 时钟通道 HS Exit: 高速退出时间值	131
7.16.1	测试设置	131
7.16.2	测试步骤	131
7.16.3	测量时钟通道 HS Exit: 高速退出时间值	131
7.17	Test-1.4.17 时钟通道高速模式下时钟的瞬时单位间隔( $UI_{INST}$ )	133
7.17.1	测试设置	133
7.17.2	测试步骤	133
7.17.3	测量时钟通道高速模式下时钟的瞬时单位间隔( $UI_{INST}$ )	133
7.18	Test-1.4.18 时钟通道高速模式下时钟单位间隔偏差( $\Delta UI$ )	137
7.18.1	测试设置	137
7.18.2	测试步骤	137
7.18.3	测量时钟通道高速模式下时钟单位间隔偏差( $\Delta UI$ )	137
<b>8</b>	<b>HS-TX 时钟到数据通道的时间要求 (Group 5)</b>	<b>139</b>
8.1	Test-1.5.1 HS Entry: 时钟预充电时间值	139
8.1.1	测试设置	139
8.1.2	测试步骤	139
8.1.3	测量 HS Entry: 时钟预充电时间值	139
8.2	Test-1.5.2 HS Exit: 时钟后充电时间值	141
8.2.1	测试设置	141
8.2.2	测试步骤	141
8.2.3	测量 HS Exit: 时钟后充电时间值	141
8.3	Test-1.5.3 高速时钟上升沿与首个有效载荷位的对齐	143
8.3.1	测试设置	143
8.3.2	测试步骤	143

---

8.3.3	测量高速时钟上升沿与首个有效载荷位的对齐 .....	143
8.4	Test-1.5.4 数据与时钟偏斜 lock Skew ( $T_{\text{SKEW}[\text{TX}]}$ ) .....	146
8.4.1	测试设置 .....	146
8.4.2	测试步骤 .....	146
8.4.3	测量数据与时钟偏斜 lock Skew ( $T_{\text{SKEW}[\text{TX}]}$ ) .....	146

# 1 引言

鼎阳科技目前可提供 MIPI D-PHY1.1、1.2 的电气一致性测试方案来验证 MIPI 接口的电气性能。MIPI D-PHY 一致性测试所需设备包括高性能示波器、探头及分析软件。本用户手册介绍了 MIPI D-PHY 一致性测试的测试方法和测试环境。

鼎阳科技推出的 MIPI D-PHY 电气一致性分析方案，包括：

- 用户可以执行单项或多项测试；
- 向用户展示如何将示波器和被测设备（DUT: Device under test 的缩写）连接；
- 为每个测试项目自动设置示波器；
- 显示已执行测试的每个项目的详细信息和通过标准；
- 可创建 HTML、XML 或 PDF 测试报告。

## 2 测试设备

### 2.1 设备需求

MIPI D-PHY 电气一致性分析需要用到下述的设备：

- 示波器(SDS7000A)：带宽 $\geq 4\text{GHz}$ ，并开通一致性分析选项。(1.2 版本带宽  $\geq 8\text{GHz}$ )
- 有源差分探头（如 SAP5000D）：带宽大于  $4\text{GHz}$ ，用于探测信号。(1.2 版本带宽  $\geq 8\text{GHz}$ )

## 2.2 连接方式和对应可测试项目说明

注意：各测试项的具体配置，详见 2.2.1~2.2.5。

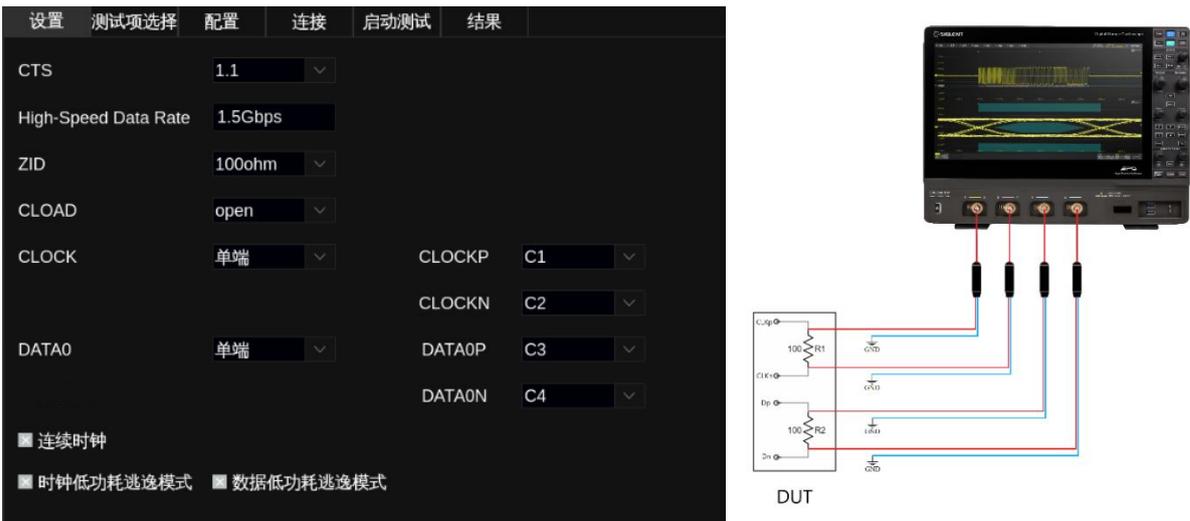
测试项目	描述	连接方式 1	连接方式 2	连接方式 3	连接方式 4	连接方式 5
Test 1.1.1	数据通道 LP-TX Thevenin 输出高电平电压( $V_{OH}$ )	支持	支持		支持	
Test 1.1.2	数据通道 LP-TX Thevenin 输出低电平电压( $V_{OL}$ )	支持	支持		支持	
Test 1.1.3	数据通道 LP-TX 15% - 85%上升时间( $T_{RLP}$ )	支持	支持		支持	
Test 1.1.4	数据通道 LP-TX 15% - 85%下降时间( $T_{FLP}$ )	支持	支持		支持	
Test 1.1.5	数据通道 LP-TX 压摆率与负载电容( $\delta V/\delta t_{SR}$ )	支持	支持		支持	
Test 1.1.6	数据通道 LP-TX 异或时钟脉冲宽度( $T_{LP-PULSE-TX}$ )	支持	支持		支持	
Test 1.1.7	数据通道 LP-TX 异或时钟周期( $T_{LP-PERTX}$ )	支持	支持		支持	
Test 1.2.1	时钟通道 LP-TX Thevenin 输出高电平电压( $V_{OH}$ )	支持		支持		支持
Test 1.2.2	时钟通道 LP-TX Thevenin 输出低电平电压( $V_{OL}$ )	支持		支持		支持
Test 1.2.3	时钟通道 LP-TX 15% - 85%上升时间( $T_{RLP}$ )	支持		支持		支持
Test 1.2.4	时钟通道 LP-TX 15% - 85%下降时间( $T_{FLP}$ )	支持		支持		支持
Test 1.2.5	时钟通道 LP-TX 压摆率与负载电容( $\delta V/\delta t_{SR}$ )	支持		支持		支持
Test 1.3.1	数据通道 HS Entry: 低功耗发送至高速模式转换值	支持	支持		支持	
Test 1.3.2	数据通道 HS Entry: 高速模式准备时间值	支持	支持		支持	
Test 1.3.3	数据通道 HS Entry: 高速模式准备时间值与高速零状态时间值之和	支持	支持		支持	

测试项目	描述	连接方式 1	连接方式 2	连接方式 3	连接方式 4	连接方式 5
Test 1.3.4	数据通道 HS-TX 差分电压( $V_{OD(0)}$ 、 $V_{OD(1)}$ )	支持	支持			
Test 1.3.5	数据通道 HS-TX 差分电压失配( $\Delta V_{OD}$ )	支持	支持			
Test 1.3.6	数据通道 HS-TX 单端输出高电压( $V_{OHHS(DP)}$ )	支持	支持			
Test 1.3.6	数据通道 HS-TX 单端输出高电压( $V_{OHHS(DN)}$ )	支持	支持			
Test 1.3.7	数据通道 HS-TX 静态共模电压( $V_{CMTX(1)}$ 、 $V_{CMTX(0)}$ )	支持	支持			
Test 1.3.8	数据通道 HS-TX 静态共模电压失配( $\Delta V_{CMTX(1,0)}$ )	支持	支持			
Test 1.3.9	数据通道 HS-TX 在 50 -450MHz 之间的动态共模电平变化( $\Delta V_{CMTX(LF)}$ )	支持	支持		支持	
Test 1.3.10	数据通道 HS-TX 在 450MHz 以上的动态共模电平变化( $\Delta V_{CMTX(HF)}$ )	支持	支持		支持	
Test 1.3.11	数据通道 HS-TX 20% -80%上升时间( $t_R$ )	支持	支持			
Test 1.3.12	数据通道 HS-TX 80% -20%下降时间( $t_F$ )	支持	支持			
Test 1.3.13	数据通道 HS Exit: 高速模式退出时间值	支持	支持		支持	
Test 1.3.14	数据通道 HS Exit: 结束后(EoT) 30% - 85%上升时间( $T_{REOT}$ )	支持	支持		支持	
Test 1.3.15	数据通道 HS Exit: 退出结束时间值	支持	支持		支持	
Test 1.3.16	数据通道 HS Exit: 高速退出时间值	支持	支持		支持	
Test 1.4.1	时钟通道 HS Entry: 低功耗发送至高速模式转换值	支持		支持		支持
Test 1.4.2	时钟通道 HS Entry: 时钟高速模式准备时间值	支持		支持		支持
Test 1.4.3	时钟通道 HS Entry: 时钟高速模式准备时间值与时钟高速零状态时间值之和	支持		支持		支持

测试项目	描述	连接方式 1	连接方式 2	连接方式 3	连接方式 4	连接方式 5
Test 1.4.4	时钟通道 HS-TX 差分电压 ( $V_{OD(0)}$ 、 $V_{OD(1)}$ )	支持		支持		
Test 1.4.5	时钟通道 HS-TX 差分电压失配 ( $\Delta V_{OD}$ )	支持		支持		
Test 1.4.6	时钟通道 HS-TX 单端输出高电压 ( $V_{OHHS(DP)}$ )	支持		支持		
Test 1.4.6	时钟通道 HS-TX 单端输出高电压 ( $V_{OHHS(DN)}$ )	支持		支持		
Test 1.4.7	时钟通道 HS-TX 静态共模电压 ( $V_{CMTX(1)}$ 、 $V_{CMTX(0)}$ )	支持		支持		
Test 1.4.8	时钟通道 HS-TX 静态共模电压失配 ( $\Delta V_{CMTX(1,0)}$ )	支持		支持		
Test 1.4.9	时钟通道 HS-TX 在 50 -450MHz 之间的动态共模电平变化 ( $\Delta V_{CMTX(LF)}$ )	支持		支持		
Test 1.4.10	时钟通道 HS-TX 在 450MHz 以上的动态共模电平变化 ( $\Delta V_{CMTX(HF)}$ )	支持		支持		
Test 1.4.11	时钟通道 HS-TX 20%-80%上升时间 ( $t_R$ )	支持		支持		
Test 1.4.12	时钟通道 HS-TX 80%-20%下降时间 ( $t_F$ )	支持		支持		
Test 1.4.13	时钟通道 HS Exit: 时钟高速模式退出时间值	支持		支持		支持
Test 1.4.14	时钟通道 HS Exit: 结束后(EoT) 30% - 85%上升时间 ( $T_{REOT}$ )	支持		支持		支持
Test 1.4.15	时钟通道 HS Exit: 退出结束时间值	支持		支持		支持
Test 1.4.16	时钟通道 HS Exit: 高速退出时间值	支持		支持		支持
Test 1.4.17	时钟通道高速模式下时钟的瞬时单位间隔 (UIINST)	支持		支持		
Test 1.4.18	时钟通道高速模式下时钟单位间隔偏差 ( $\Delta UI$ )	支持		支持		
Test 1.5.1	HS Entry: 时钟预充电时间值	支持				
Test 1.5.2	HS Exit: 时钟后充电时间值	支持				

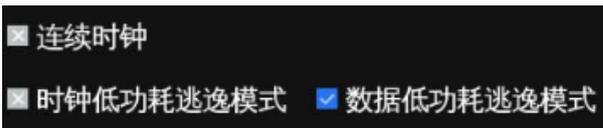
测试项目	描述	连接方式 1	连接方式 2	连接方式 3	连接方式 4	连接方式 5
Test 1.5.3	高速时钟上升沿与首个有效载荷位的对齐	支持				
Test 1.5.4	数据与时钟偏斜 lock Skew ( $T_{SKEW[TX]}$ )	支持				

### 2.2.1 使用单端探头连接数据通道和时钟通道（连接方式 1）



#### 2.2.1.1 支持的测试项目

测试数据通道 LP-TX 信号要求 (Group1):



**注意:** 测试数据通道 LP-TX 信号要求 (Group1) 时需要勾选数据低功耗逃逸模式, 是否勾选时钟低功耗逃逸模式和连续时钟不影响 Group 1 的测量项目。

测试项目	描述
Test 1.1.1	数据通道 LP-TX Thevenin 输出高电平电压( $V_{OH}$ )
Test 1.1.2	数据通道 LP-TX Thevenin 输出低电平电压( $V_{OL}$ )
Test 1.1.3	数据通道 LP-TX 15% - 85%上升时间( $T_{RLP}$ )
Test 1.1.4	数据通道 LP-TX 15% - 85%下降时间( $T_{FLP}$ )
Test 1.1.5	数据通道 LP-TX 压摆率与负载电容( $\delta V/\delta t_{SR}$ )
Test 1.1.6	数据通道 LP-TX 异或时钟脉冲宽度( $T_{LP-PULSE-TX}$ )
Test 1.1.7	数据通道 LP-TX 异或时钟周期( $T_{LP-PERTX}$ )

**时钟通道 LP-TX 信号要求 (Group 2):**

- 连续时钟  
 时钟低功耗逃逸模式  数据低功耗逃逸模式

**注意:** 测试时钟通道 LP-TX 信号要求 (Group2) 时需要勾选时钟低功耗逃逸模式, 并且不能勾选连续时钟, 是否勾选数据低功耗逃逸模式不影响 Group 2 的测量项目。

测试项目	描述
Test 1.2.1	时钟通道 LP-TX Thevenin 输出高电平电压( $V_{OH}$ )
Test 1.2.2	时钟通道 LP-TX Thevenin 输出低电平电压( $V_{OL}$ )
Test 1.2.3	时钟通道 LP-TX 15% - 85%上升时间( $T_{RLP}$ )
Test 1.2.4	时钟通道 LP-TX 15% - 85%下降时间( $T_{FLP}$ )
Test 1.2.5	时钟通道 LP-TX 压摆率与负载电容( $\delta V/\delta t_{SR}$ )

**数据通道 HS-TX 信号要求 (Group 3)**

- 连续时钟  
 时钟低功耗逃逸模式  数据低功耗逃逸模式

**注意:** 测试数据通道 HS-TX 信号要求 (Group 3) 时, 是否勾选时钟低功耗逃逸模式或者数据低功耗逃逸模式, 以及连续时钟, 不影响 Group 3 的测量项目。

测试项目	描述
Test 1.3.1	数据通道 HS Entry:低功耗发送至高速模式转换值
Test 1.3.2	数据通道 HS Entry:高速模式准备时间值
Test 1.3.3	数据通道 HS Entry:高速模式准备时间值与高速零状态时间值之和
Test 1.3.4	数据通道 HS-TX 差分电压( $V_{OD(0)}$ , $V_{OD(1)}$ )
Test 1.3.5	数据通道 HS-TX 差分电压失配( $\Delta V_{OD}$ )
Test 1.3.6	数据通道 HS-TX 单端输出高电压( $V_{OHHS(DP)}$ )
Test 1.3.6	数据通道 HS-TX 单端输出高电压( $V_{OHHS(DN)}$ )
Test 1.3.7	数据通道 HS-TX 静态共模电压( $V_{CMTX(1)}$ 、 $V_{CMTX(0)}$ )
Test 1.3.8	数据通道 HS-TX 静态共模电压失配( $\Delta V_{CMTX(1,0)}$ )
Test 1.3.9	数据通道 HS-TX 在 50-450MHz 之间的动态共模电平变化( $\Delta V_{CMTX(LF)}$ )
Test 1.3.10	数据通道 HS-TX 在 450MHz 以上的动态共模电平变化( $\Delta V_{CMTX(HF)}$ )
Test 1.3.11	数据通道 HS-TX 20%-80%上升时间( $t_R$ )
Test 1.3.12	数据通道 HS-TX 80%-20%下降时间( $t_F$ )
Test 1.3.13	数据通道 HS Exit: 高速模式退出时间值
Test 1.3.14	数据通道 HS Exit: 结束后(EoT) 30% - 85%上升时间( $T_{REOT}$ )

Test 1.3.15	数据通道 HS Exit: 退出结束时间值
Test 1.3.16	数据通道 HS Exit: 高速退出时间值

### 时钟通道 HS-TX 信号要求 (Group 4)

**注意:** 测试时钟通道 HS-TX 信号要求 (Group 4) 时, 勾选连续时钟将会导致部分测试项目无法测试, 是否勾选时钟低功耗逃逸模式或者数据低功耗逃逸模式, 不影响 Group 4 的测量项目。

#### (1) 不勾选连续时钟



测试项目	描述
Test 1.4.1	时钟通道 HS Entry: 低功耗发送至高速模式转换值
Test 1.4.2	时钟通道 HS Entry: 时钟高速模式准备时间值
Test 1.4.3	时钟通道 HS Entry: 时钟高速模式准备时间值与时钟高速零状态时间值之和
Test 1.4.4	时钟通道 HS-TX 差分电压( $V_{OD(0)}$ 、 $V_{OD(1)}$ )
Test 1.4.5	时钟通道 HS-TX 差分电压失配( $\Delta V_{OD}$ )
Test 1.4.6	时钟通道 HS-TX 单端输出高电压( $V_{OHHS(DP)}$ )
Test 1.4.6	时钟通道 HS-TX 单端输出高电压( $V_{OHHS(DN)}$ )
Test 1.4.7	时钟通道 HS-TX 静态共模电压( $V_{CMTX(1)}$ 、 $V_{CMTX(0)}$ )
Test 1.4.8	时钟通道 HS-TX 静态共模电压失配( $\Delta V_{CMTX(1,0)}$ )
Test 1.4.9	时钟通道 HS-TX 在 50-450MHz 之间的动态共模电平变化( $\Delta V_{CMTX(LF)}$ )
Test 1.4.10	时钟通道 HS-TX 在 450MHz 以上的动态共模电平变化( $\Delta V_{CMTX(HF)}$ )
Test 1.4.11	时钟通道 HS-TX 20%-80%上升时间( $t_R$ )
Test 1.4.12	时钟通道 HS-TX 80%-20%下降时间( $t_F$ )
Test 1.4.13	时钟通道 HS Exit: 时钟高速模式退出时间值
Test 1.4.14	时钟通道 HS Exit: 结束后(EoT) 30% - 85%上升时间( $T_{REOT}$ )
Test 1.4.15	时钟通道 HS Exit: 退出结束时间值
Test 1.4.16	时钟通道 HS Exit: 高速退出时间值
Test 1.4.17	时钟通道高速模式下时钟的瞬时单位间隔 (UIINST)
Test 1.4.18	时钟通道高速模式下时钟单位间隔偏差 ( $\Delta UI$ )

#### (2) 勾选连续时钟



测试项目	描述
Test 1.4.4	时钟通道 HS-TX 差分电压( $V_{OD(0)}$ 、 $V_{OD(1)}$ )
Test 1.4.5	时钟通道 HS-TX 差分电压失配( $\Delta V_{OD}$ )
Test 1.4.6	时钟通道 HS-TX 单端输出高电压( $V_{OHHS(DP)}$ )
Test 1.4.6	时钟通道 HS-TX 单端输出高电压( $V_{OHHS(DN)}$ )
Test 1.4.7	时钟通道 HS-TX 静态共模电压( $V_{CMTX(1)}$ 、 $V_{CMTX(0)}$ )
Test 1.4.8	时钟通道 HS-TX 静态共模电压失配( $\Delta V_{CMTX(1,0)}$ )
Test 1.4.9	时钟通道 HS-TX 在 50-450MHz 之间的动态共模电平变化( $\Delta V_{CMTX(LF)}$ )
Test 1.4.10	时钟通道 HS-TX 在 450MHz 以上的动态共模电平变化( $\Delta V_{CMTX(HF)}$ )
Test 1.4.11	时钟通道 HS-TX 20%-80%上升时间( $t_R$ )
Test 1.4.12	时钟通道 HS-TX 80%-20%下降时间( $t_F$ )
Test 1.4.17	时钟通道高速模式下时钟的瞬时单位间隔 (UIINST)
Test 1.4.18	时钟通道高速模式下时钟单位间隔偏差 ( $\Delta UI$ )

#### HS-TX 时钟到数据通道的时间要求 (Group 5)

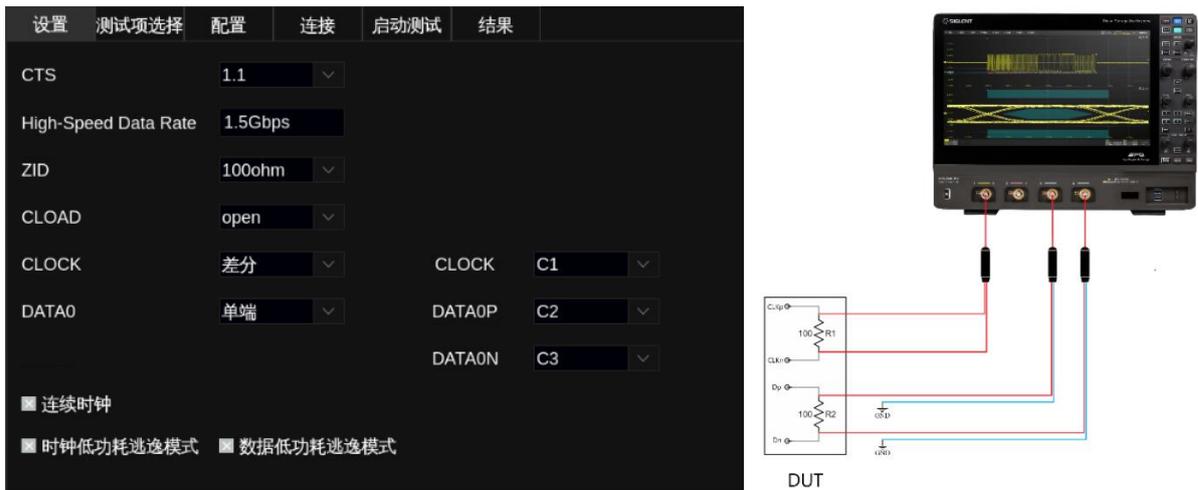
连续时钟

时钟低功耗逃逸模式  数据低功耗逃逸模式

**注意：**测试 HS-TX 时钟到数据通道的时间要求 (Group 5) 时，不能勾选连续时钟，是否勾选时钟低功耗逃逸模式或者数据低功耗逃逸模式，不影响 Group 5 的测量项目。

测试项目	描述
Test 1.5.1	HS Entry: 时钟预充电时间值
Test 1.5.2	HS Exit: 时钟后充电时间值
Test 1.5.3	高速时钟上升沿与首个有效载荷位的对齐
Test 1.5.4	数据与时钟偏斜 lock Skew ( $T_{SKEW[TX]}$ )

## 2.2.2 使用单端探头连接数据通道，使用差分探头连接时钟通道（连接方式 2）



### 2.2.2.1 支持的测试项目

测试数据通道 LP-TX 信号要求 (Group1):



**注意：**测试数据通道 LP-TX 信号要求 (Group1) 时需要勾选数据低功耗逃逸模式，是否勾选时钟低功耗逃逸模式和连续时钟不影响 Group 1 的测量项目。

测试项目	描述
Test 1.1.1	数据通道 LP-TX Thevenin 输出高电平电压( $V_{OH}$ )
Test 1.1.2	数据通道 LP-TX Thevenin 输出低电平电压( $V_{OL}$ )
Test 1.1.3	数据通道 LP-TX 15% - 85%上升时间( $T_{RLP}$ )
Test 1.1.4	数据通道 LP-TX 15% - 85%下降时间( $T_{FLP}$ )
Test 1.1.5	数据通道 LP-TX 压摆率与负载电容( $\delta V/\delta t_{SR}$ )
Test 1.1.6	数据通道 LP-TX 异或时钟脉冲宽度( $T_{LP-PULSE-TX}$ )
Test 1.1.7	数据通道 LP-TX 异或时钟周期( $T_{LP-PERTX}$ )

时钟通道 LP-TX 信号要求 (Group 2)

**注意：**该连接模式下无法测量 Group 2 的测量项目。

数据通道 HS-TX 信号要求 (Group 3)

- 连续时钟
- 时钟低功耗逃逸模式    ■ 数据低功耗逃逸模式

**注意：**测试数据通道 HS-TX 信号要求 (Group 3) 时，是否勾选时钟低功耗逃逸模式或者数据低功耗逃逸模式，以及连续时钟，不影响 Group 3 的测量项目。

测试项目	描述
Test 1.3.1	数据通道 HS Entry: 低功耗发送至高速模式转换值
Test 1.3.2	数据通道 HS Entry: 高速模式准备时间值
Test 1.3.3	数据通道 HS Entry: 高速模式准备时间值与高速零状态时间值之和
Test 1.3.4	数据通道 HS-TX 差分电压( $V_{OD(0)}$ , $V_{OD(1)}$ )
Test 1.3.5	数据通道 HS-TX 差分电压失配( $\Delta V_{OD}$ )
Test 1.3.6	数据通道 HS-TX 单端输出高电压( $V_{OHHS(DP)}$ )
Test 1.3.6	数据通道 HS-TX 单端输出高电压( $V_{OHHS(DN)}$ )
Test 1.3.7	数据通道 HS-TX 静态共模电压( $V_{CMTX(1)}$ 、 $V_{CMTX(0)}$ )
Test 1.3.8	数据通道 HS-TX 静态共模电压失配( $\Delta V_{CMTX(1,0)}$ )
Test 1.3.9	数据通道 HS-TX 在 50-450MHz 之间的动态共模电平变化( $\Delta V_{CMTX(LF)}$ )
Test 1.3.10	数据通道 HS-TX 在 450MHz 以上的动态共模电平变化( $\Delta V_{CMTX(HF)}$ )
Test 1.3.11	数据通道 HS-TX 20%-80%上升时间( $t_R$ )
Test 1.3.12	数据通道 HS-TX 80%-20%下降时间( $t_F$ )
Test 1.3.13	数据通道 HS Exit: 高速模式退出时间值
Test 1.3.14	数据通道 HS Exit: 结束后(EoT) 30% - 85%上升时间( $T_{REOT}$ )
Test 1.3.15	数据通道 HS Exit: 退出结束时间值
Test 1.3.16	数据通道 HS Exit: 高速退出时间值

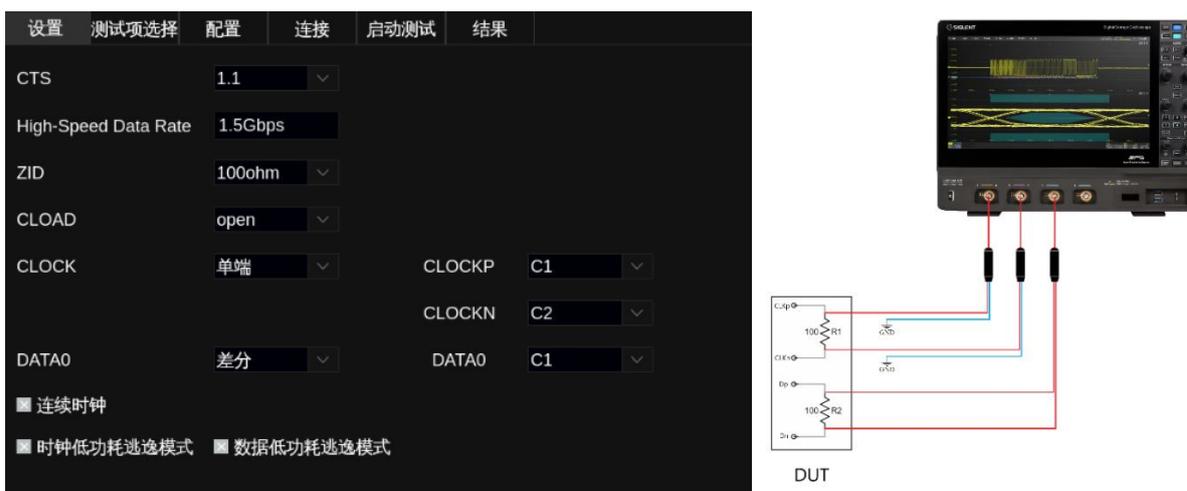
#### 时钟通道 HS-TX 信号要求 (Group 4)

**注意：**该连接模式下无法测量 Group 4 的测量项目。

#### HS-TX 时钟到数据通道的时间要求 (Group 5)

**注意：**该连接模式下无法测量 Group 5 的测量项目。

## 2.2.3 使用差分探头连接数据通道，使用单端探头连接时钟通道（连接方式 3）



### 2.2.3.1 支持的测试项目

**测试数据通道 LP-TX 信号要求 (Group1):**

**注意:** 该连接模式下无法测量 Group 1 的测量项目。

**时钟通道 LP-TX 信号要求 (Group 2 ):**



**注意:** 测试时钟通道 LP-TX 信号要求 (Group2) 时需要勾选时钟低功耗逃逸模式，并且不能勾选连续时钟，是否勾选数据低功耗逃逸模式不影响 Group 2 的测量项目。

测试项目	描述
Test 1.2.1	时钟通道 LP-TX Thevenin 输出高电平电压( $V_{OH}$ )
Test 1.2.2	时钟通道 LP-TX Thevenin 输出低电平电压( $V_{OL}$ )
Test 1.2.3	时钟通道 LP-TX 15% - 85%上升时间( $T_{RLP}$ )
Test 1.2.4	时钟通道 LP-TX 15% - 85%下降时间( $T_{FLP}$ )
Test 1.2.5	时钟通道 LP-TX 压摆率与负载电容( $\delta V/\delta t_{SR}$ )

**数据通道 HS-TX 信号要求 (Group 3 )**

**注意:** 该连接模式下无法测量 Group 3 的测量项目。

**时钟通道 HS-TX 信号要求 (Group 4 )**

**注意:** 测试时钟通道 HS-TX 信号要求 (Group 4 ) 时，勾选连续时钟将会导致部分测试项目无法

测试，是否勾选时钟低功耗逃逸模式或者数据低功耗逃逸模式，不影响 Group 4 的测量项目。

(1) 不勾选连续时钟



测试项目	描述
Test 1.4.1	时钟通道 HS Entry: 低功耗发送至高速模式转换值
Test 1.4.2	时钟通道 HS Entry: 时钟高速模式准备时间值
Test 1.4.3	时钟通道 HS Entry: 时钟高速模式准备时间值与时钟高速零状态时间值之和
Test 1.4.4	时钟通道 HS-TX 差分电压( $V_{OD(0)}$ 、 $V_{OD(1)}$ )
Test 1.4.5	时钟通道 HS-TX 差分电压失配( $\Delta V_{OD}$ )
Test 1.4.6	时钟通道 HS-TX 单端输出高电压( $V_{OHHS(DP)}$ )
Test 1.4.6	时钟通道 HS-TX 单端输出高电压( $V_{OHHS(DN)}$ )
Test 1.4.7	时钟通道 HS-TX 静态共模电压( $V_{CMTX(1)}$ 、 $V_{CMTX(0)}$ )
Test 1.4.8	时钟通道 HS-TX 静态共模电压失配( $\Delta V_{CMTX(1,0)}$ )
Test 1.4.9	时钟通道 HS-TX 在 50-450MHz 之间的动态共模电平变化( $\Delta V_{CMTX(LF)}$ )
Test 1.4.10	时钟通道 HS-TX 在 450MHz 以上的动态共模电平变化( $\Delta V_{CMTX(HF)}$ )
Test 1.4.11	时钟通道 HS-TX 20%-80%上升时间( $t_R$ )
Test 1.4.12	时钟通道 HS-TX 80%-20%下降时间( $t_F$ )
Test 1.4.13	时钟通道 HS Exit: 时钟高速模式退出时间值
Test 1.4.14	时钟通道 HS Exit: 结束后(EoT) 30% - 85%上升时间( $T_{REOT}$ )
Test 1.4.15	时钟通道 HS Exit: 退出结束时间值
Test 1.4.16	时钟通道 HS Exit: 高速退出时间值
Test 1.4.17	时钟通道高速模式下时钟的瞬时单位间隔 (UIINST)
Test 1.4.18	时钟通道高速模式下时钟单位间隔偏差 ( $\Delta UI$ )

(2) 勾选连续时钟

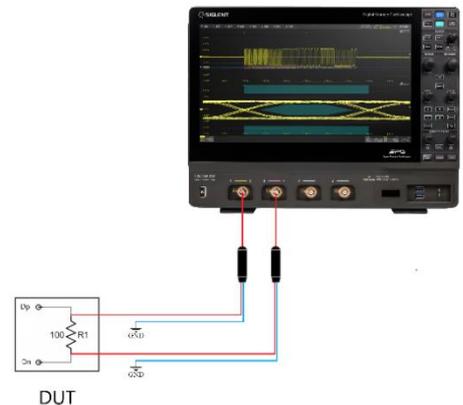


测试项目	描述
Test 1.4.4	时钟通道 HS-TX 差分电压( $V_{OD(0)}$ 、 $V_{OD(1)}$ )
Test 1.4.5	时钟通道 HS-TX 差分电压失配( $\Delta V_{OD}$ )
Test 1.4.6	时钟通道 HS-TX 单端输出高电压( $V_{OHHS(DP)}$ )
Test 1.4.6	时钟通道 HS-TX 单端输出高电压( $V_{OHHS(DN)}$ )
Test 1.4.7	时钟通道 HS-TX 静态共模电压( $V_{CMTX(1)}$ 、 $V_{CMTX(0)}$ )
Test 1.4.8	时钟通道 HS-TX 静态共模电压失配( $\Delta V_{CMTX(1,0)}$ )
Test 1.4.9	时钟通道 HS-TX 在 50-450MHz 之间的动态共模电平变化( $\Delta V_{CMTX(LF)}$ )
Test 1.4.10	时钟通道 HS-TX 在 450MHz 以上的动态共模电平变化( $\Delta V_{CMTX(HF)}$ )
Test 1.4.11	时钟通道 HS-TX 20%-80%上升时间( $t_R$ )
Test 1.4.12	时钟通道 HS-TX 80%-20%下降时间( $t_F$ )
Test 1.4.17	时钟通道高速模式下时钟的瞬时单位间隔 (UIINST)
Test 1.4.18	时钟通道高速模式下时钟单位间隔偏差 ( $\Delta UI$ )

### HS-TX 时钟到数据通道的时间要求 (Group 5)

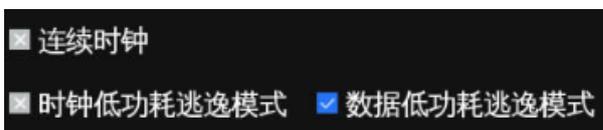
注意：该连接模式下无法测量 Group 5 的测量项目。

## 2.2.4 使用单端探头连接数据通道，不连接时钟通道 (连接方式 4)



### 2.2.4.1 支持的测试项目：

#### 测试数据通道 LP-TX 信号要求 (Group1)



注意：测试数据通道 LP-TX 信号要求 (Group1) 时需要勾选数据低功耗模式，是否勾选时钟低功耗

耗逃逸模式和连续时钟不影响 Group 1 的测量项目。

测试项目	描述
Test 1.1.1	数据通道 LP-TX Thevenin 输出高电平电压( $V_{OH}$ )
Test 1.1.2	数据通道 LP-TX Thevenin 输出低电平电压( $V_{OL}$ )
Test 1.1.3	数据通道 LP-TX 15% - 85%上升时间( $T_{RLP}$ )
Test 1.1.4	数据通道 LP-TX 15% - 85%下降时间( $T_{FLP}$ )
Test 1.1.5	数据通道 LP-TX 压摆率与负载电容( $\delta V/\delta t_{SR}$ )
Test 1.1.6	数据通道 LP-TX 异或时钟脉冲宽度( $T_{LP-PULSE-TX}$ )
Test 1.1.7	数据通道 LP-TX 异或时钟周期( $T_{LP-PERTX}$ )

### 时钟通道 LP-TX 信号要求 (Group 2):

注意：该连接模式下无法测量 Group 2 的测量项目。

### 数据通道 HS-TX 信号要求 (Group 3)



注意：测试数据通道 HS-TX 信号要求 (Group 3) 时，是否勾选时钟低功耗逃逸模式或者数据低功耗逃逸模式，以及连续时钟，不影响 Group 3 的测量项目，但该连接模式下只能测量部分 **Group 3** 的测试项目。

测试项目	描述
Test 1.3.1	数据通道 HS Entry: 低功耗发送至高速模式转换值
Test 1.3.2	数据通道 HS Entry: 高速模式准备时间值
Test 1.3.3	数据通道 HS Entry: 高速模式准备时间值与高速零状态时间值之和
Test 1.3.9	数据通道 HS-TX 在 50-450MHz 之间的动态共模电平变化( $\Delta V_{CMTX(LF)}$ )
Test 1.3.10	数据通道 HS-TX 在 450MHz 以上的动态共模电平变化( $\Delta V_{CMTX(HF)}$ )
Test 1.3.13	数据通道 HS Exit: 高速模式退出时间值
Test 1.3.14	数据通道 HS Exit: 结束后(EoT) 30% - 85%上升时间( $T_{REOT}$ )
Test 1.3.15	数据通道 HS Exit: 退出结束时间值
Test 1.3.16	数据通道 HS Exit: 高速退出时间值

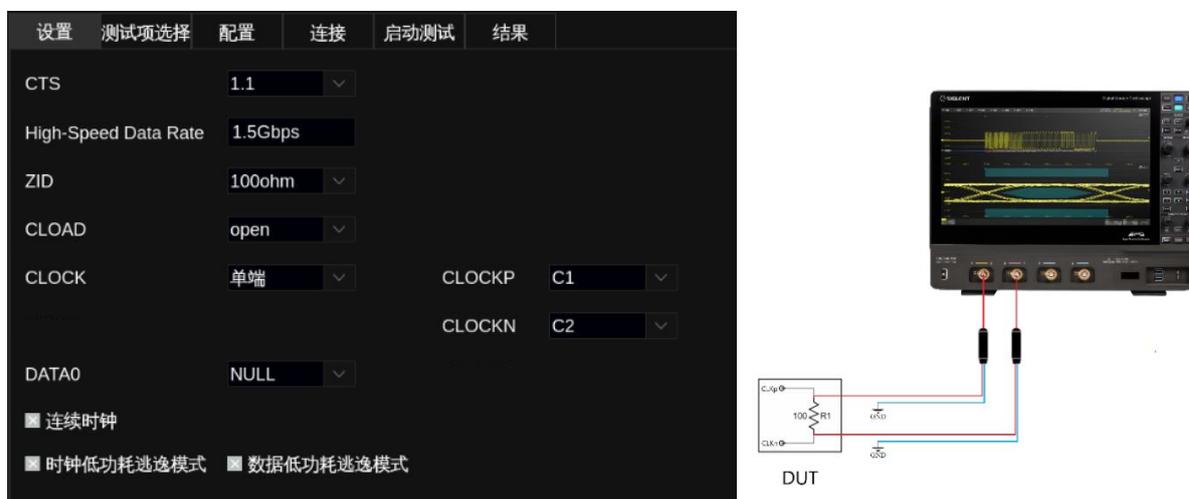
### 时钟通道 HS-TX 信号要求 (Group 4)

注意：该连接模式下无法测量 Group 4 的测量项目。

## HS-TX 时钟到数据通道的时序要求 (Group 5)

**注意：**该连接模式下无法测量 Group 5 的测量项目。

### 2.2.5 使用单端探头连接时钟通道，不连接数据通道（连接方式 5）



#### 2.2.5.1 支持的测试项目：

**测试数据通道 LP-TX 信号要求 (Group1)：**

**注意：**该连接模式下无法测量 Group 1 的测量项目。

**时钟通道 LP-TX 信号要求 (Group 2)：**



**注意：**测试时钟通道 LP-TX 信号要求 (Group2) 时需要勾选时钟低功耗逃逸模式，并且不能勾选连续时钟，是否勾选数据低功耗逃逸模式不影响 Group 2 的测量项目。

测试项目	描述
Test 1.2.1	时钟通道 LP-TX Thevenin 输出高电平电压( $V_{OH}$ )
Test 1.2.2	时钟通道 LP-TX Thevenin 输出低电平电压( $V_{OL}$ )
Test 1.2.3	时钟通道 LP-TX 15% - 85%上升时间( $T_{RLP}$ )
Test 1.2.4	时钟通道 LP-TX 15% - 85%下降时间( $T_{FLP}$ )
Test 1.2.5	时钟通道 LP-TX 压摆率与负载电容( $\delta V/\delta t_{SR}$ )

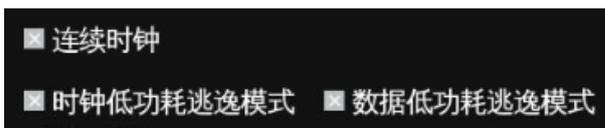
**数据通道 HS-TX 信号要求 (Group 3)**

**注意：**该连接模式下无法测量 Group 3 的测量项目。

#### 时钟通道 HS-TX 信号要求 (Group 4)

**注意：**测试时钟通道 HS-TX 信号要求 (Group 4) 时，该连接模式下不能勾选连续时钟进行测量，是否勾选时钟低功耗逃逸模式或者数据低功耗逃逸模式，不影响 Group 4 的测量项目，但该连接模式下只能测量部分 **Group 4 的测试项目**。

(1) 不勾选连续时钟



测试项目	描述
Test 1.4.1	时钟通道 HS Entry: 低功耗发送至高速模式转换值
Test 1.4.2	时钟通道 HS Entry: 时钟高速模式准备时间值
Test 1.4.3	时钟通道 HS Entry: 时钟高速模式准备时间值与时钟高速零状态时间值之和
Test 1.4.13	时钟通道 HS Exit: 时钟高速模式退出时间值
Test 1.4.14	时钟通道 HS Exit: 结束后(EoT) 30% - 85%上升时间( $T_{REOT}$ )
Test 1.4.15	时钟通道 HS Exit: 退出结束时间值
Test 1.4.16	时钟通道 HS Exit: 高速退出时间值

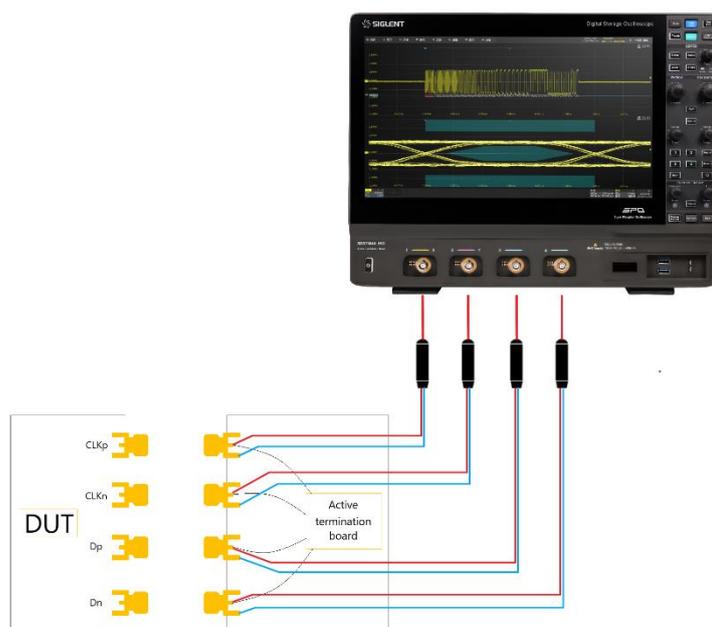
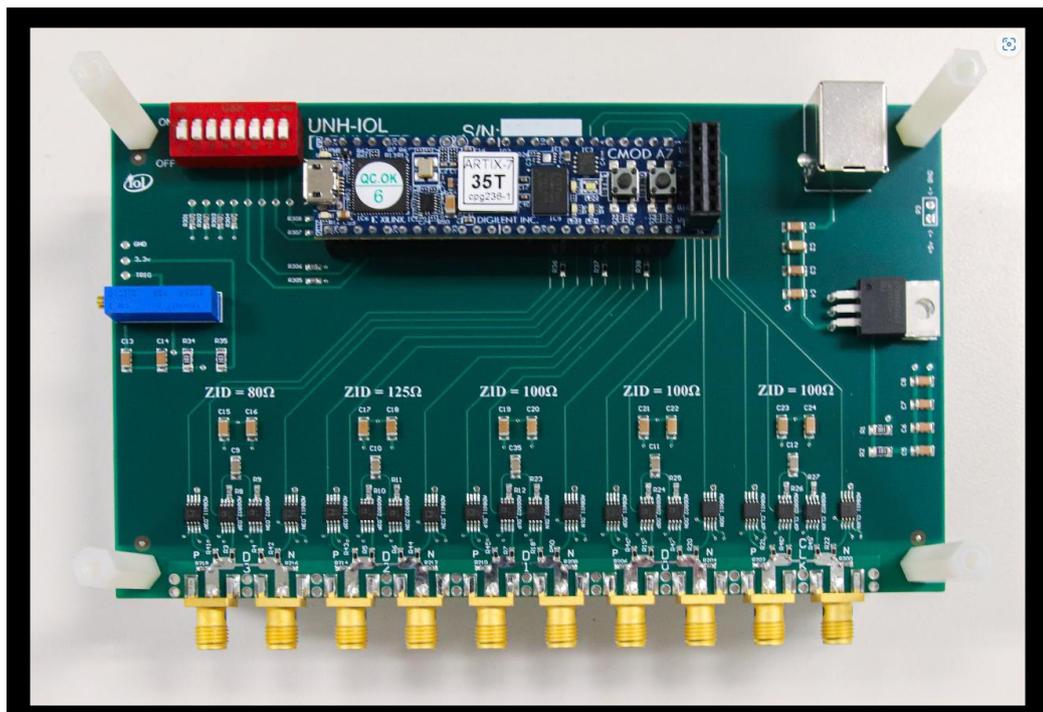
#### HS-TX 时钟到数据通道的时间要求 (Group 5)

**注意：**该连接模式下无法测量 Group 5 的测量项目。

## 2.3 使用官方夹具的连接示意图

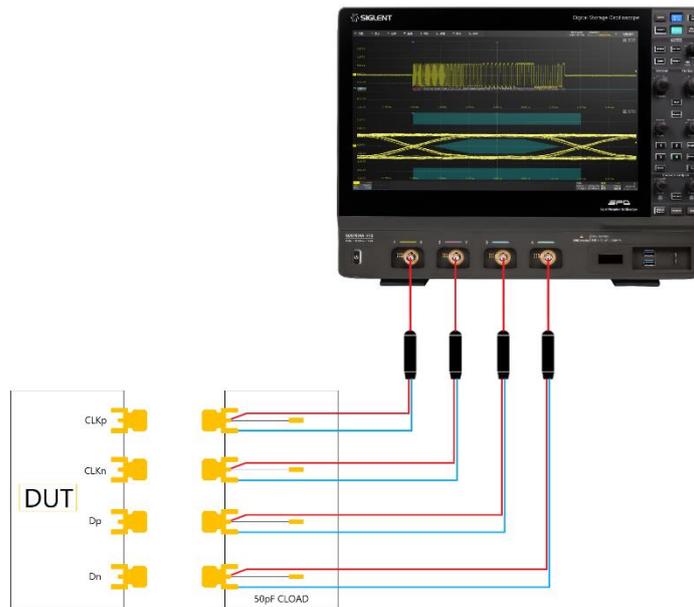
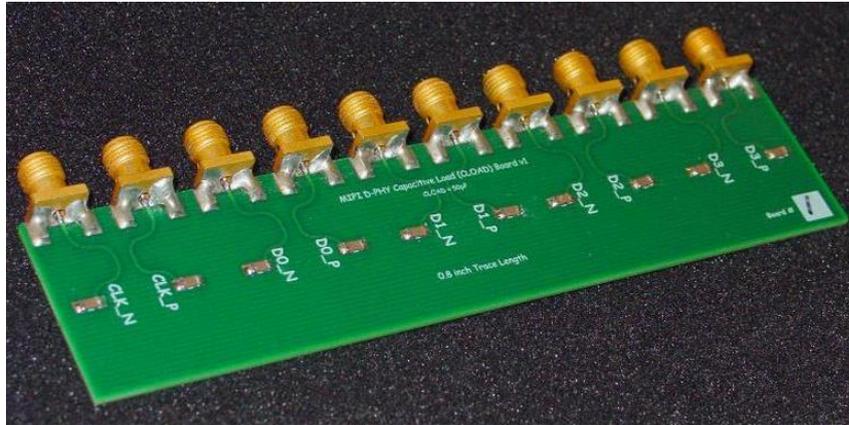
在进行 HS-TX 测试,如 Group3、Group4、Group5 时, MIPI D-PHY 一致性测试软件的连接模块会提示您使用官方夹具的连接示意图。HS-TX 测试的连接可能看起来类似于以下的图示。具体连接方式会根据您使用的探头有所不同, 但和 2.2.1 ~ 2.2.5 是一致的, 仅增添了夹具的连接。

我们建议使用新罕布什尔大学互操作性实验室(UNH-IOL)的 MIPI D-PHY 参考板(RTB)测试夹具。有关详细信息, 请参阅 [MIPI Test Fixtures and Tools | InterOperability Laboratory \(unh.edu\)](http://MIPI Test Fixtures and Tools | InterOperability Laboratory (unh.edu))



在进行 LP-TX 测试,如 Group1、Group2 时, MIPI D-PHY 一致性测试软件的连接模块会提示您使用官方夹具的连接示意图。LP-TX 测试的连接可能看起来类似于以下的图示。具体连接方式会根据您使用的探头有所不同, 但和 2.2.1 ~ 2.2.5 是一致的, 仅增添了夹具的连接。

我们推荐使用新罕布什尔大学互操作实验室 (UNH-IOL) 提供的 MIPI D-PHY 电容负载测试夹具 (CLOAD)。有关详细信息, 请参阅 [MIPI Test Fixtures and Tools | InterOperability Laboratory \(unh.edu\)](http://MIPI Test Fixtures and Tools | InterOperability Laboratory (unh.edu))。



### 3 一致性测试软件

鼎阳科技的 MIPI D-PHY 一致性分析软件是依据 D-PHY Specification1.0 和 Conformance Test Suite for D-PHY<sup>SM</sup> 1.0 规范而推出的解决方案，该分析软件可控制示波器自动完成测试，图形化操作指导简化了测量过程，可灵活配置测试项目，测试报告记录了整个测量结果，包括测试数值及测试波形的截图。

SDS7000A 提供 MIPI D-PHY 一致性测试功能，按照 **分析** -> **一致性测试** -> **协议类型** 选择 **MIPI D-PHY**，点击 **ON**，即可打开一致性测试功能，如图 3-1 所示。一致性测试功能分为三大部分：**测试项配置**、**结果查看**、**报告生成设置**。



图 3-1 启动 MIPI D-PHY 一致性分析软件

### 3.1 测试项配置

点击测试项配置会弹出具体的测试配置窗口，如图 3-2 所示，根据测试流程分为：设置、测试项选择、配置、连接、启动测试、结果六个步骤。

➤ 设置

- A. 选择 Conformance Test Suite for D-PHY<sup>SM</sup> 规范的版本。从下拉选项。您可以选择 V1.1、1.2。
- B. HS 模式下的数据传输速率（在输入框输入 DUT 信号的数据速率值（以 bps 为单位），缺省情况下，该字段为 800Mbps。输入的值由测试程序保存，并依据此速率来配置合适的档位采集信号，在不能进行 1.4.17 测试时部分测试项也会利用该值作为 UI 值分析结果，最高支持 2.5 Gbps 的高速数据速率 D-PHY 测试信号）。
- C. 选择系统的终端电阻 ZID。可用选项包括 80 Ω、100 Ω 和 125 Ω。默认值为 100 Ω。ZID 配置选项仅适用于所有 HS 测试。
- D. 选择系统的电容性负载 C<sub>LOAD</sub>。每个 CTS 版本的默认 CLoad 值显示为 50pF，您也可以从下拉选项中选择 "open"、以表示不使用电容负载。
- E. 选择时钟通道的连接方式（差分，单端，null）和 CLOCKP,CLOCKN 对应的通道口。
- F. 选择数据通道的连接方式（差分，单端，null）和 DATA0P,DATA0N 对应的通道口。
- G. 选择 DUT 的时钟是连续时钟还是非连续时钟，当时钟通道不在低功耗模式下运行时，勾选此选项。
- H. 在时钟通道上启用低功耗逃逸模式时勾选该选项，请注意在勾选该选项的同时，如果您退出低功耗逃逸模式进入高速模式，同样可以进行 HS 测试。
- I. 在数据通道上启用低功耗逃逸模式时勾选该选项，请注意在勾选该选项的同时，如果您退出低功耗逃逸模式进入高速模式，同样可以进行 HS 测试。



图 3-2 测试项配置窗口

- 测试项选择：在本栏目中选择需要测试的项目，如图 3-3 所示。



图 3-3 测试项选择窗口

- 配置：测试项选择中的测试项目在本栏目会显示对应测试项的规范要求，选择 Manu 即可对相应的测试项的规范要求进行更改，如图 3-4 所示。（前 5 项数据是规范要求的测试阈值，用于确定波形的测试点位）

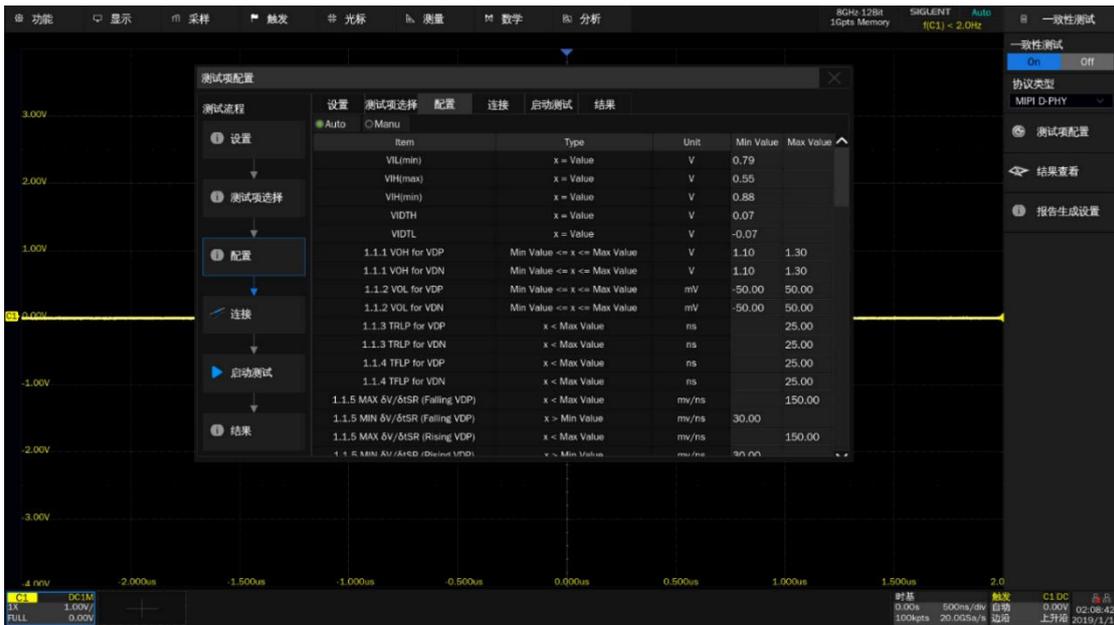


图 3-4 配置窗口

➤ 连接：本栏目显示测试的接线图，如图 3-5 所示。

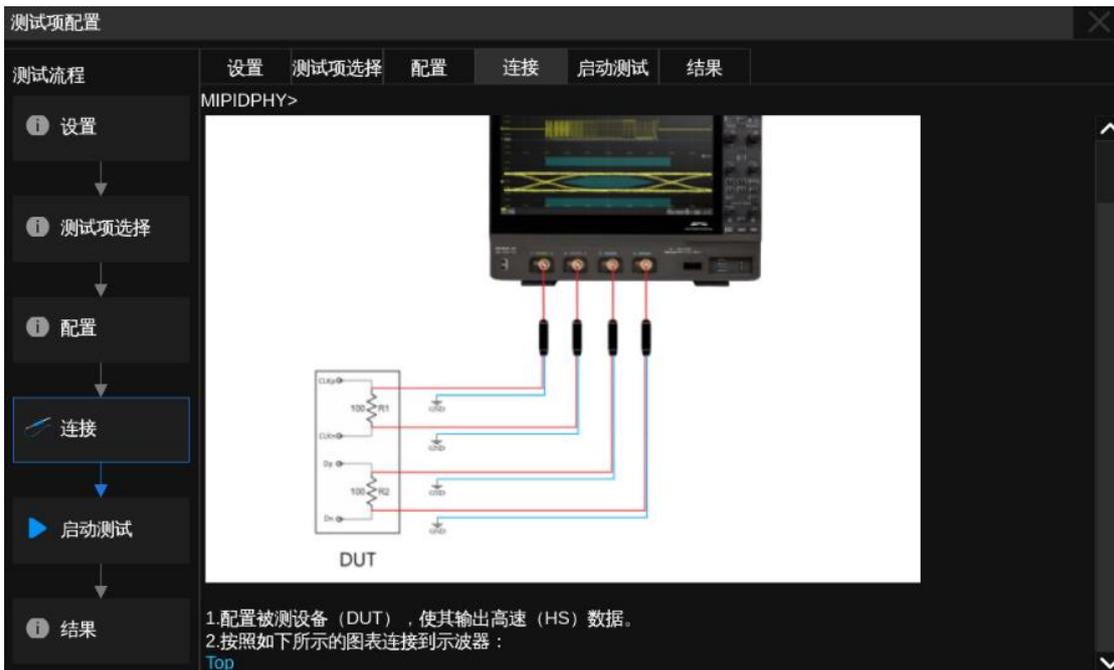


图 3-5 连接窗口显示的接线图

- 启动测试：启动测试窗口如图 3-6 所示，测试失败时，支持 **继续** 和 **中止** 两种选择。



图 3-6 启动测试窗口

在接下来的测试过程中，根据弹窗提示完成测试即可，测试项全部完成后会弹出测试结果。

若一轮测试中选择了多个测试项目，如果有不同的接线方式，则进行到个项目时会有页面弹窗提示该项目的连接方式，修改后点击弹窗中的 **启动测试** 即可继续测试。

### 3.2 结果查看

点击 **结果查看** ，查看对应的测试结果。

测试结果窗口的上半部分是测试项目，概要提供各个测试项目的结果，以及官方要求的参考门限值，如图 3-7 所示。

测试结果窗口的下半部分是对应的细节图，在测试结果窗口的上半部分点击感兴趣的项目，下半部分即可显示对应的细节，点击图片可以查看测试波形的细节，如图 3-8 所示。

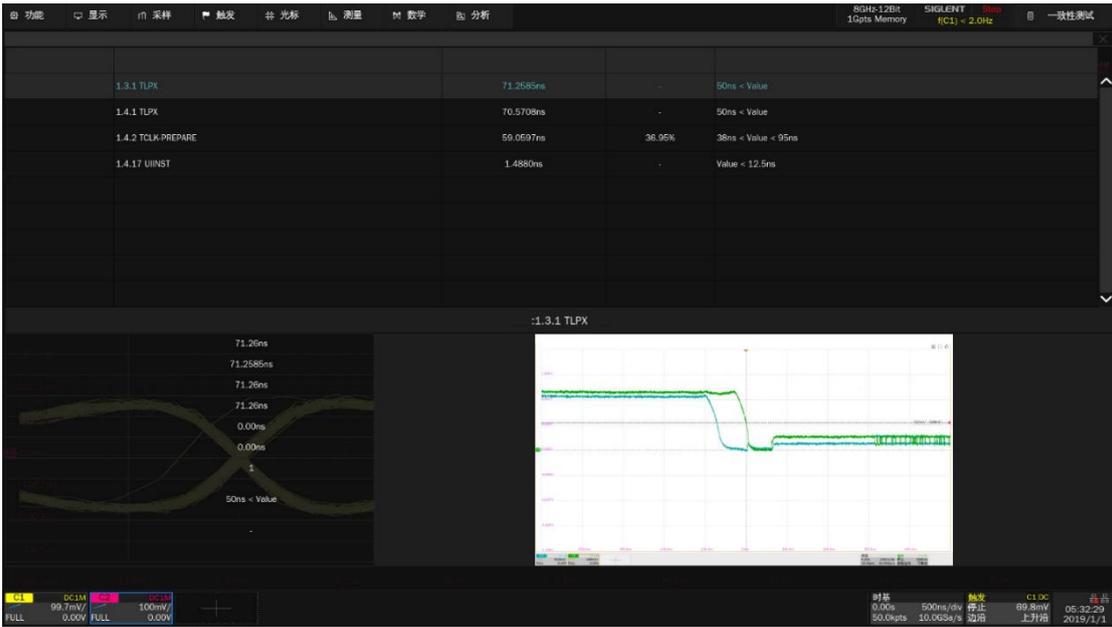


图 3-7 测试项目列表



图 3-8 波形细节图

### 3.3 报告生成设置

点击 **报告生成设置**，填入有关的测试信息，选择报告类型；**预览报告** 可以提前查看生成报告的效果；**文件管理** 中选择保存的路径，点击 **保存** 即可保存测试结果，报告形式支持 XML、HTML、PDF 如图 3-9 所示。

报告保存成 HTML 格式时，有以下注意事项：

- A. 文件名不能包含空格，也不能包含以下非法字符：（）~' \$ []
- B. 会生成一个文件夹与 HTML 文件，后续不能修改两者的名字；如需拷贝，需要把两者都拷走，并且两者放在同一路径下。

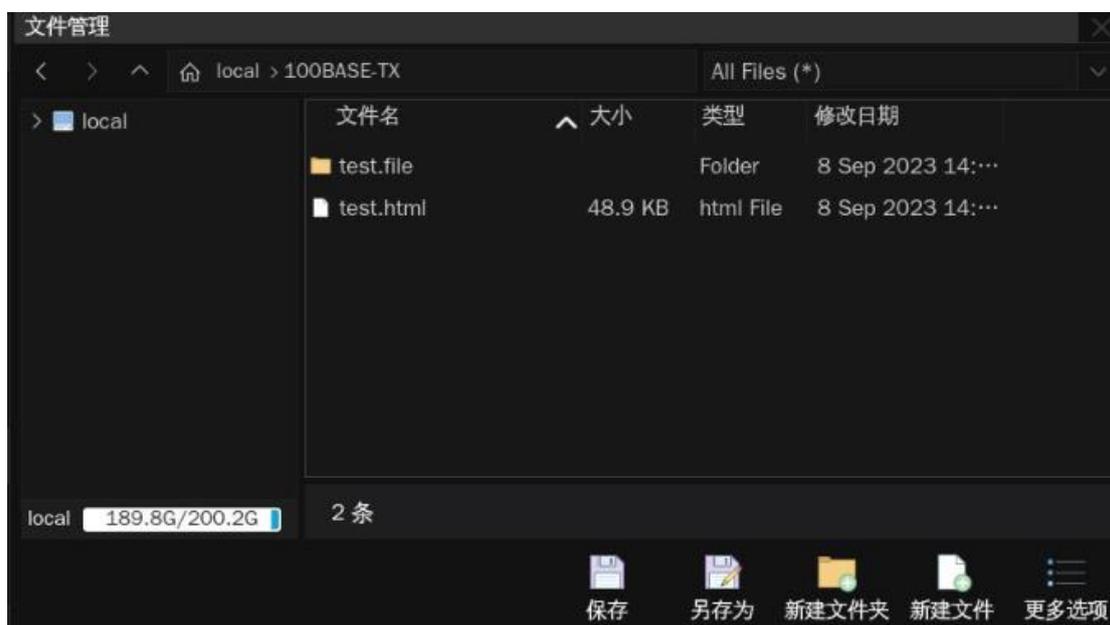


图 3-9 生存报告设置

- C. 测试报告包括所有测试结果的摘要表，其中具有到详细信息页面的超链接，详细信息页面包括一个相关测试波形的屏幕截图，如图 3-10 所示。

MIPIDPHY (Ver 1.0 1.1) Compliance Test Report						
Overall Result: <span style="color: green;">Pass</span>						
Operator:						
Test Date:	2024-10-11 10:26:26					
Device:						
Temperature:						
Remarks:						
Oscilloscope Name:	SDS7404A H12					
Oscilloscope Serial Number:	SDS7XX20240109					
Oscilloscope Scope ID:	64f1-0469-a5a4-0a9e					
Oscilloscope Firmware Version:	04.15.05.1.1.8.1_MIP00					
Test Result:	Total:26,Pass:26,Not Tested:0,Fail:0					
Summary						
Result	Test name	Value	Value(Min)	Value(Max)	Margin	Pass Limit
Test 1.3.1: Data Lane HS Entry: TLPX Value						
PASS	<a href="#">1.3.1.TLPX</a>	70.1139ns	70.11ns	70.11ns	-	50.000000ns <= Value
Test 1.3.2: Data Lane HS Entry: THS-PREPARE Value						
PASS	<a href="#">1.3.2.THs-PREPARE</a>	60.8457ns	60.85ns	60.85ns	30.90%	46.011038ns < Value < 94.016557ns
Test 1.3.3: Data Lane HS Entry: THS-PREPARE + THS-ZERO Value						
PASS	<a href="#">1.3.3.THs-PREP+ZERO</a>	310.1766ns	310.18ns	310.18ns	-	160.027595ns < Value

Details		<a href="#">[Exp]</a>
		1.3.1 TLPX
Current	70.1139ns	
Mean	70.1139ns	
Min	70.11ns	
Max	70.11ns	
Pk-Pk	0.00ns	
StdDev	0.00ns	
Count	1	
Pass Limit	50.000000ns <= Value	
Margin	-	
Result	PASS	

图 3-10 测试报告

## 4 数据通道 LP-TX 信号要求 (Group 1)

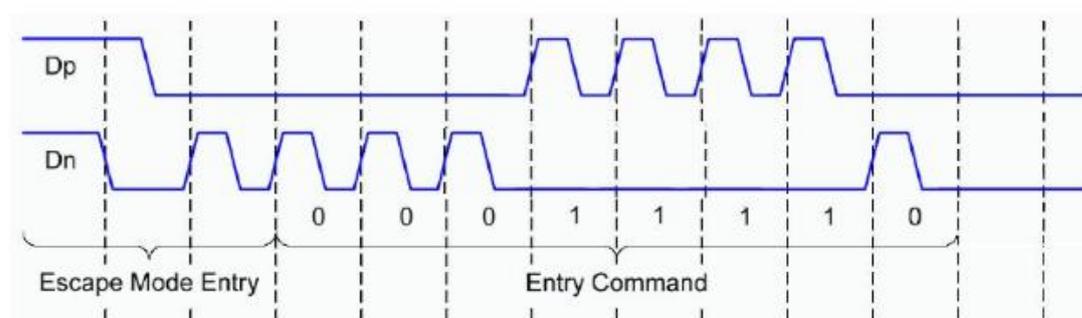
### 4.1 Test-1.1.1 数据通道 LP-TX Thevenin 输出高电平电压 ( $V_{OH}$ )

#### 4.1.1 测试设置

测试要求 DUT (被测设备) 提供符合 MIPI D-PHY 规格的 LP (低功耗) 数据通道上的 ULPS (超低功耗状态) 进入序列的波形。

下图展示了一个典型的 ULPS (超低功耗状态) 进入序列波形。该序列包含两个主要阶段:

- (1) 进入 Escape Mode: 从 LP-11 开始, 经过 10、00、01, 最后回到 00 状态。
- (2) 发送 Ultra-Low Power State 进入命令: 在 Escape Mode 中发送特定的命令序列 00011110 以进入 ULPS 状态。测试执行流程。



#### 4.1.2 测试步骤

- 使用 50pF  $C_{LOAD}$  测试夹具将 DUT 连接到测试装置 (具体连接方式, 请参考 2.2 章节)。
- 使 DUT 在数据通道 0 上发出 ULPS 输入序列。
- 使用 DSO 捕捉 LP 信号序列。使用后处理方法, 如上所述测量  $V_{DP}$  和  $V_{DN}$  信号的  $V_{OH}$ 。
- 对数据通道 1、2 和 3 (如果 DUT 实现了多个数据通道) 重复前三个步骤。

#### 4.1.3 测量数据通道 LP-TX Thevenin 输出高电平电压 ( $V_{OH}$ )

**目的:** 验证 DUT 数据通道 LP 发射器的戴维南输出高电平电压 ( $V_{OH}$ ) 是否在一致性限值范围内。

当支持的数据速率  $\leq 1.5$  Gbps 时,  $V_{OH}$  的一致性范围在 1.1 和 1.3V 之间如图 4-1。

**参考指标:**

[1] D-PHY Specification, Section 8.1.2, Line 1389

[2] D-PHY Specification, Section 8.1.2, Table 18

**$V_{OH}$  的定义：**“ $V_{OH}$  是 LP-TX 状态下，引脚未加载（无外接负载）时处于高电平状态的戴维南输出电压。”

在此测试中，被测器件（DUT）的数据通道  $V_{OH}$  值将通过高速实时数字存储示波器进行测量，此时 DUT 正在将 LP 信号序列驱动到开路终端。（请注意，本测试将与本组中的其他测试一起在单个捕获的 LP 逃脱模式序列波形上进行，其中仅在输出高电平状态下进行测量）在进行测量时， $V_{OH}$  取所有超过  $V_{DP}$  和  $V_{DN}$  信号幅度绝对峰值到峰值 50% 的波形样本的众数来确定，应在单个 LP 逃逸模式序列的所有 LP-1 状态中进行测量（跨越单个 LP 逃逸模式序列中的所有 LP-1 状态）。这一测量分别针对  $V_{DP}$  和  $V_{DN}$  波形进行，并且针对 DUT 的每个数据通道独立执行。要求每个数据通道的  $V_{DP}$  和  $V_{DN}$  信号的  $V_{OH}$  值均须位于 1.1V 至 1.3V 之间，才视为满足一致性。

Parameter	Description	Min	Nom	Max	Units
$V_{OH}$	Thevenin output high level	1.1	1.2	1.3	V
$V_{OL}$	Thevenin output low level	-50		50	mV
$Z_{OLP}$	Output impedance of LP transmitter	110			$\Omega$

图 4-1  $V_{OH}$  规格要求

#### 可观测结果：

对于所有数据通道：

- 对于支持  $\leq 1.5\text{Gbps}$  的 DUT) 验证  $V_{DP}$  波形的  $V_{OH}$  在 1.1 和 1.3 V 之间。
- 对于支持  $\leq 1.5\text{Gbps}$  的 DUT) 验证  $V_{DN}$  波形的  $V_{OH}$  在 1.1 和 1.3 V 之间。

**注意：**此外，虽然终端的电容特性不应影响静态高电平和低电平，但本测试将使用 50pF  $C_{LOAD}$  测试夹具进行（详见 4.3 Test-1.1.3）。请注意，测试结果与终端电容无关，但使用 50pF 测试负载进行测试的目的主要是为了与本节中的其他 LP 测试保持程序上的一致，因为所有其他测量都是使用 50pF 负载进行的。此外，为减少测量噪音，在进行测量之前，将对源波形应用一个 400-MHz 的四阶巴特沃斯低通滤波器。（详见 4.5 Test-1.1.5）。

## 4.2 Test-1.1.2 数据通道 LP-TX Thevenin 输出低电平电压 ( $V_{OL}$ )

### 4.2.1 测试设置

测试要求 DUT (被测设备) 提供符合 MIPI D-PHY 规格的 LP (低功耗) 数据通道上的 ULPS (超低功耗状态) 进入序列的波形。

下图展示了一个典型的 ULPS (超低功耗状态) 进入序列波形。该序列包含两个主要阶段:

- (1) 进入 Escape Mode (逃逸模式): 从 LP-11 开始, 经过 10、00、01, 最后回到 00 状态。
- (2) 发送 Ultra-Low Power State 进入命令: 在 Escape Mode 中发送特定的命令序列 00011110 以进入 ULPS 状态。测试执行流程。

### 4.2.2 测试步骤

- 使用 50pF  $C_{LOAD}$  测试夹具将 DUT 连接到测试装置 (具体连接方式, 请参考 2.2 章节)。
- 使 DUT 在数据通道 0 上发出 ULPS 输入序列。
- 使用 DSO 捕捉 LP 信号序列。
- 测量上述  $V_{DP}$  和  $V_{DN}$  信号的  $V_{OL}$ 。对数据通道 1、2 和 3 (如果 DUT 实现了多个数据通道) 重复前三个步骤。

### 4.2.3 测量数据通道 LP-TX Thevenin 输出低电平电压 ( $V_{OL}$ )

**目的:** 本测试用例的目的是验证 DUT 的数据通道 LP-TX 的戴维南输出低电平电压 ( $V_{OL}$ ) 是否在一致性限制范围内。每个数据通道的  $V_{DP}$  和  $V_{DN}$  信号的  $V_{OL}$  值应介于 -50 mV 和 +50 mV 之间, 才符合一致性标准。

#### 参考指标:

[1] D-PHY Specification, Section 8.1.2, Line 1389

[2] D-PHY Specification, Section 8.1.2, Table 18

**$V_{OH}$  的定义:** “ $V_{OH}$  是 LP-TX 状态下, 引脚未加载 (无外接负载) 时处于低电平状态的戴维南输出电压。”

在此测试中, 将使用高速实时数字存储示波器测量 DUT 的数据通道  $V_{OL}$  值, 同时 DUT 将 LP 信号序列驱动到 50pF  $C_{LOAD}$  测试夹具中。(请注意, 本测试将与本组中的其他测试一起在单个捕获的 LP 逃逸模式序列波形上进行, 其中仅对输出低位进行测量)。在此测量中,  $V_{OL}$  是指小于绝对峰峰值  $V_{DP}$  和  $V_{DN}$  信号振幅 50% 的所有波形采样的模式, 应在单个 LP 逃逸模式序列的所有 LP-0 状态中进行测量 (跨越单个 LP 逃逸模式序列中的所有 LP-0 状态)。该测量应在  $V_{DP}$  和  $V_{DN}$  波形上分

别进行，并针对每个数据通道进行测量。(请注意，本测试和本组中的所有其他测量都指定了 ULPS 输入序列，因为大多数 DUT 的所有数据链路通常都支持 ULPS 输入序列)。

Parameter	Description	Min	Nom	Max	Units
$V_{OH}$	Thevenin output high level	1.1	1.2	1.3	V
$V_{OL}$	Thevenin output low level	-50		50	mV
$Z_{OLP}$	Output impedance of LP transmitter	110			$\Omega$

图 4-2  $V_{OL}$  规格要求

#### 可观测结果:

对于所有数据通道:

- 对于支持  $\leq 1.5\text{Gbps}$  的 DUT) 验证  $V_{DP}$  波形的  $V_{OL}$  在 -50 和 50 mV 之间。
- 对于支持  $\leq 1.5\text{Gbps}$  的 DUT) 验证  $V_{DN}$  波形的  $V_{OL}$  在 -50 和 50 mV 之间。

**注意:** 此外，为减少测量噪音，在进行测量之前，将对源波形应用一个 400-MHz 的四阶巴特沃斯低通滤波器。(详见 Test-1.1.5 讨论)。

### 4.3 Test-1.1.3 数据通道 LP-TX 15%-85%上升时间 ( $T_{RLP}$ )

#### 4.3.1 测试设置

测试要求 DUT（被测设备）提供符合 MIPI D-PHY 规格的 LP（低功耗）数据通道上的 ULPS（超低功耗状态）进入序列的波形。

下图展示了一个典型的 ULPS（超低功耗状态）进入序列波形。该序列包含两个主要阶段：

- (1) 进入 Escape Mode（逃逸模式）：从 LP-11 开始，经过 10、00、01，最后回到 00 状态。
- (2) 发送 Ultra-Low Power State 进入命令：在 Escape Mode 中发送特定的命令序列 00011110 以进入 ULPS 状态。测试执行流程。

#### 4.3.2 测试步骤

- 使用 50pF  $C_{LOAD}$  测试夹具将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节）。
- 使 DUT 在数据通道 0 上发出 ULPS 输入序列。
- 使用 DSO 捕捉 LP 信号序列。
- 测量  $V_{DP}$  和  $V_{DN}$  的  $T_{RLP}$ 。对数据通道 1、2 和 3（如果 DUT 实现了多个数据通道）重复前面的步骤。

#### 4.3.3 测量数据通道 LP-TX 15%-85%上升时间 ( $T_{RLP}$ )

**目的：**验证 DUT 的数据通道 LP 发射器的 15%-85%上升时间 ( $T_{RLP}$ ) 是否在一致性限制范围内。每个数据通道的  $V_{DP}$  和  $V_{DN}$  的  $T_{RLP}$  值应小于 25ns，才符合一致性标准。

##### 参考指标：

[1] D-PHY Specification, Section 8.1.2, Line 1389

[2] D-PHY Specification, Section 8.1.2, Table 18

在该测试中，将使用高速实时数字存储示波器捕获被测件数据通道 LP 发射器的两个单端  $V_{DP}$  和  $V_{DN}$  信号。以测得的  $V_{OH}$  和  $V_{OL}$  LP-TX 的戴维南输出电压电平为基准（分别参见 Test-1.1.1 和 Test-1.1.2），独立测量  $V_{DP}$  和  $V_{DN}$  波形每个上升沿的 15%-85% 上升时间 ( $T_{RLP}$ )。将计算所有观测到的上升沿的平均值，得出最终的  $T_{RLP}$  结果，观测到的最大值和最小值将显示在结果报告。

Parameter	Description	Min	Nom	Max	Units
$T_{RLP}/T_{FLP}$	15%-85% rise time and fall time			25	ns

图 4-3 TRLP 规格要求

**可观测结果：**

对于所有数据通道：

- 验证每个数据通道的所有  $C_{LOAD}$  情况下  $V_{DP}$  波形的  $T_{RLP}$  小于 25 ns。
- 验证每个数据通道的所有  $C_{LOAD}$  情况下  $V_{DN}$  波形的  $T_{RLP}$  小于 25 ns。

**注意：**请注意，规范规定上升/下降时间应通过电容性负载  $C_{LOAD}$  进行测量。 $C_{LOAD}$  是规范中定义的一个单独参数，它被用作多个 LP 要求的参考负载，上升/下降时间就是其中之一。

由于上升/下降时间规范只定义了上限，因此最有意义的方法是使用允许的最大  $C_{LOAD}$  值测量上升/下降时间（因为这会产生最慢的边沿，即最大上升时间）。如果 DUT 以最大  $C_{LOAD}$  值通过了上升/下降要求，那么只有以更小的  $C_{LOAD}$  值才能以更大的余量（即更小的上升时间）通过。

需要注意的是，为 LP 测试目的选择  $C_{LOAD}$  的精确值确实有些问题。规范将  $C_{LOAD}$  定义为 0 至 70pF。规范还解释说，该负载被认为分布在三个部分：

- 1) 发射器的 TX 电容（最多 10pF）；
- 2) 接收器的 RX 电容（最多 10pF）；
- 3) TX 和 RX 之间的传输线（最多 50pF）。

在实际应用中， $C_{LOAD}$  规范的定义方式存在几个问题。首先，虽然在软件仿真/设计环境中可以实现精确的负载值（包括 0pF），但实际测量会带来更多问题，因为安装 DUT 的 PCB 板和连接器的电容通常是测试仪所不知道的，而且无法控制或移除。此外，这些元件即使设计精良，也不可能设计成零电容。因此，在 0pF  $C_{LOAD}$  下进行测试是不可能的，最小理论负载将由 DUT 的印刷电路板本身决定，再加上测试装置（即探头和任何其他相关连接器）引入的任何附加电容。

因此，最小电容受 DUT 本身和测试装置的限制。对于最大电容，必须选择一个实用的值，既要考虑所有其他因素，又要提供合理的测量结果。可以制作一个测试夹具/PCB，为 DUT 发射器提供一个整数电容。如果该夹具设计为 70pF，则可能会对发射机造成过大压力，因为包括 DUT PCB 和连接器电容在内的总负载可能会大于 70pF。

因此，为了便于进行一致性测试，将使用电容负载为 50pF 的夹具作为“最大”  $C_{LOAD}$ 。这考虑到了理论上分配给 TX 的 10pF，同时还额外留出了 10pF 的“余量”，以考虑非理想测试板、连接器等因素。在这种方法下，被测试装置将获得疑点利益，如果被测试装置在 50pF 测试负载夹具下未能通过上升/下降时间测试，那么如果在真正的 70pF 负载下进行测量，也肯定会出现更严重的故障。（请注意，这种方法可能会让边缘或略微超出规格的器件通过该测试，但这是权衡后的最佳选择，而不是让接近极限和/或安装在非理想评估板上的器件失败）。

## 4.4 Test-1.1.4 数据通道 LP-TX 15%-85%下降时间 ( $T_{FLP}$ )

### 4.4.1 测试设置

测试要求 DUT（被测设备）提供符合 MIPI D-PHY 规格的 LP（低功耗）数据通道上的 ULPS（超低功耗状态）进入序列的波形。

下图展示了一个典型的 ULPS（超低功耗状态）进入序列波形。该序列包含两个主要阶段：

- (1) 进入 Escape Mode（逃逸模式）：从 LP-11 开始，经过 10、00、01，最后回到 00 状态。
- (2) 发送 Ultra-Low Power State 进入命令：在 Escape Mode 中发送特定的命令序列 00011110 以进入 ULPS 状态。测试执行流程。

### 4.4.2 测试步骤

- 使用 50pF  $C_{LOAD}$  测试夹具将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节）。
- 使 DUT 在数据通道 0 上发出 ULPS 输入序列。
- 使用 DSO 捕捉 LP 信号序列。
- 测量  $V_{DP}$  和  $V_{DN}$  的  $T_{RLP}$ 。
- 对数据通道 1、2 和 3（如果 DUT 实现了多个数据通道）重复前面的步骤。

### 4.4.3 测量数据通道 LP-TX 15%-85%下降时间 ( $T_{FLP}$ )

**目的：**验证 DUT 的数据通道 LP 发射器的 15%-85% 下降时间 ( $T_{FLP}$ ) 是否在一致性限制范围内。每个数据通道的  $V_{DP}$  和  $V_{DN}$  的  $T_{RLP}$  值应小于 25ns，才符合一致性标准。

#### 参考指标：

[1] D-PHY Specification, Section 8.1.2, Line 1389

[2] D-PHY Specification, Section 8.1.2, Table 19

在该测试中，测试的方法与 Test-1.1.3 中的 LP-TX 上升时间测试相同，只是将测量下降沿。 $T_{FLP}$  将使用 50pF  $C_{LOAD}$  夹具进行测量，并将对所有数据通道进行测量。

Parameter	Description	Min	Nom	Max	Units
$T_{RLP}/T_{FLP}$	15%-85% rise time and fall time			25	ns

图 4-4  $T_{FLP}$  规格要求

**可观测结果：**

对于所有数据通道：

- 验证所有  $C_{LOAD}$  情况下  $V_{DP}$  波形的  $T_{FLP}$  小于 25 ns。
- 验证所有  $C_{LOAD}$  情况下  $V_{DN}$  波形的  $T_{FLP}$  小于 25 ns。

**注意：**同 Test-1.1.3。

## 4.5 Test-1.1.5 数据通道 LP-TX 压摆率与负载电容的关系 ( $\delta V/\delta t_{SR}$ )

### 4.5.1 测试设置

测试要求 DUT (被测设备) 提供符合 MIPI D-PHY 规格的 LP (低功耗) 数据通道上的 ULPS (超低功耗状态) 进入序列的波形。

下图展示了一个典型的 ULPS (超低功耗状态) 进入序列波形。该序列包含两个主要阶段:

- (1) 进入 Escape Mode (逃逸模式): 从 LP-11 开始, 经过 10、00、01, 最后回到 00 状态。
- (2) 发送 Ultra-Low Power State 进入命令: 在 Escape Mode 中发送特定的命令序列 00011110 以进入 ULPS 状态。测试执行流程。

### 4.5.2 测试步骤

- 使用 50pF  $C_{LOAD}$  测试夹具将 DUT 连接到测试装置 (具体连接方式, 请参考 2.2 章节)。
- 创建一个条件, 使 DUT 在数据通道 0 上发出 ULPS 输入序列。
- 使用 DSO 捕捉 LP 信号序列。

### 4.5.3 测量数据通道 LP-TX 压摆率与负载电容的关系 ( $\delta V/\delta t_{SR}$ )

**目的:** 验证 DUT 的数据通道 LP 发射器的压摆率 ( $\delta V/\delta t_{SR}$ ) 是否在特定电容负载条件下的一致性限值范围内。

#### 参考指标:

[1] D-PHY Specification, Section 8.1.2, Line 1389

[2] D-PHY Specification, Section 8.1.2, Table 19

压摆率  $\delta V/\delta t_{SR}$  是 LP 发射机输出信号电压随时间变化的导数。LP 发射机输出信号转换应符合图 4-5 (a)、图 4-5 (b) 和图 4-6 所示的最大和最小压摆率规格。规定最大压摆率值的目的是限制电磁干扰。

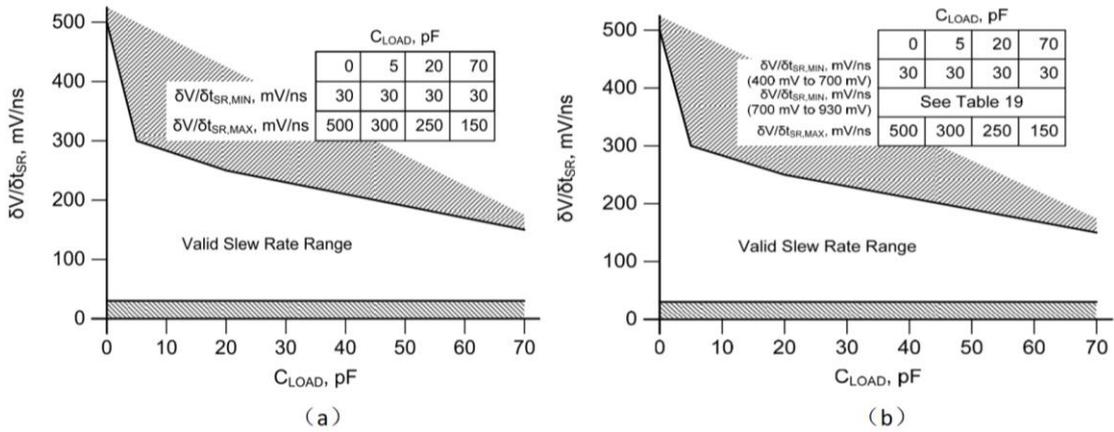


图 4-5 (a) 压摆率与 C<sub>LOAD</sub> 的关系 (下降沿), (b) 压摆率与 C<sub>LOAD</sub> 的关系 (上升沿)

Parameter	Description	Min	Nom	Max	Units	Notes	
T <sub>RLP</sub> /T <sub>FLP</sub>	15%-85% rise time and fall time			25	ns	1	
T <sub>REOT</sub>	30%-85% rise time and fall time			35	ns	1, 5, 6	
T <sub>LP-PULSE-TX</sub>	Pulse width of the LP exclusive-OR clock	First LP exclusive-OR clock pulse after Stop state or last pulse before Stop state	40			ns	4
		All other pulses	20			ns	4
T <sub>LP-PER-TX</sub>	Period of the LP exclusive-OR clock	90			ns		
$\delta V / \delta t_{SR}$	Slew rate @ C <sub>LOAD</sub> = 0pF			500	mV/ns	1, 3, 7, 8	
	Slew rate @ C <sub>LOAD</sub> = 5pF			300	mV/ns	1, 3, 7, 8	
	Slew rate @ C <sub>LOAD</sub> = 20pF			250	mV/ns	1, 3, 7, 8	
	Slew rate @ C <sub>LOAD</sub> = 70pF			150	mV/ns	1, 3, 7, 8	
	Slew rate @ C <sub>LOAD</sub> = 0 to 70pF (Falling Edge Only)	30			mV/ns	1, 2, 3	
	Slew rate @ C <sub>LOAD</sub> = 0 to 70pF (Rising Edge Only)	30			mV/ns	1, 3, 9	
	Slew rate @ C <sub>LOAD</sub> = 0 to 70pF (Rising Edge Only)	30 – 0.075 * (V <sub>O,INST</sub> – 700)			mV/ns	1, 10, 11	
C <sub>LOAD</sub>	Load capacitance	0		70	pF	1	

图 4-6  $\delta V / \delta t_{SR}$  规范要求

Note:

1.  $C_{LOAD}$  包括低频等效传输线电容。假设 TX 和 RX 的电容始终小于 10pF。对于延迟为 2ns 的传输线，分布式线路电容可高达 50pF。
2. 当输出电压介于 400 mV 和 930 mV 之间时。
3. 以输出信号转换中任意 50 mV 段的平均值测量。
4. 该值代表一条片状线性曲线的一个转角点。参见图 4-5 (a)和图 4-5 (b)。
5. 当输出电压在 VPIN(absmax) 指定的范围内时。
6. 当输出电压介于 400 mV 和 700 mV 之间时。
7. 其中,  $V_{O,INST}$  为瞬时输出电压  $V_{DP}$  或  $V_{DN}$ , 单位为毫伏。
8. 当输出电压介于 700 mV 和 930 mV 之间时。

请注意,规范中的表 19 包含几个脚注,进一步阐明了表中列出的极限要求。在此不重复各个注释,但适用于本试验的要点概述如下:

对于支持最大 HS 速率  $\leq 1.5\text{Gbps}$  的 DUT:

下降沿:

Note 8: 最大压摆率限制适用于整个信号转换/边沿。

Note 2: 最小压摆率限制 (30mV/ns) 仅适用于下降沿的 400-930mV 区域。

上升沿:

Note 8: 最大压摆率限制适用于整个信号转换/边沿。

Note 9: 最小压摆率限制 (30mV/ns) 仅适用于上升沿的 400-700mV 区域。

Note 11: 对于 700-930mV 的上升沿区域,最小压摆率限制由公式  $30-0.075*(V_{O,INST} - 700)$  定义。

#### 最终测试方案如下:

使用 50 mV 垂直窗口独立计算和测量  $V_{DP}$  和  $V_{DN}$  信号每个边沿的转换速率。使用滑动窗口技术计算单个边缘的转换率曲线。

对于下降沿:

最终平均最大  $\delta V/\delta t_{SR}$  结果是在整个垂直边缘区域上计算的。一致性范围小于 150 V/ $\mu\text{s}$ 。

最终平均最小  $\delta V/\delta t_{SR}$  结果是在 400-930 mV 区域内计算的。一致性范围大于 30 V/ $\mu\text{s}$ 。

对于上升沿:

最终平均最大  $\delta V/\delta t_{SR}$  结果是在整个垂直边缘区域上计算的。一致性范围小于 150 V/ $\mu\text{s}$ 。

最终平均最小  $\delta V/\delta t_{SR}$  结果是在 400-700 mV 区域内计算的。一致性范围大于 30 V/ $\mu\text{s}$ 。

最终平均最小  $\delta V/\delta t$  裕度结果是在 700-930 mV 区域内计算的。最小限值由公式  $30 - 0.075 \cdot (V_{O-INST} - 700)$  定义。一致性范围大于 0 V/ $\mu$ s。

#### 可观测结果：

适用于支持最大 HS 速率  $\leq 1.5$ Gbps 的 DUT：

- 下降沿：对于 50pF  $C_{LOAD}$ 、 $V_{DP}$  和  $V_{DN}$  以及所有数据通道：
  - 验证整个边缘的最大  $\delta V/\delta t_{SR}$  小于 150mV/ns。
  - 验证整个 400-930mV 区域的最小  $\delta V/\delta t_{SR}$  大于 30mV/ns。
- 上升沿：对于 50pF  $C_{LOAD}$ 、 $V_{DP}$  和  $V_{DN}$  以及所有数据通道：
  - 验证整个边缘的最大  $\delta V/\delta t_{SR}$  小于 150mV/ns。
  - 验证整个 400-700mV 区域的最小  $\delta V/\delta t_{SR}$  大于 30mV/ns。
  - 验证整个 700-930mV 区域的最小  $\delta V/\delta t_{SR}$  边距大于 0mV/ns。

**注意：**压摆率测量对高频噪声（主要由示波器产生）非常敏感，会导致压摆率曲线数据出现高频偏差。由于不希望在测量中包含这些偏差，因此在进行压摆率测量之前对源波形进行滤波是非常有利的，这样可以消除高频偏差。为减少测量噪音，在测量前将对源波形应用一个 400MHz 的四阶巴特沃斯低通滤波器。（请注意，为简单起见，测试滤波器将用于所有 1.1.x 和 1.2.x 测试，但其优点将对压摆率测试产生最大影响）。选择 400MHz 的截止值是为了尽可能保留所需的信号特性（对于 20Mstate/sec 信号而言，应远远低于 400MHz），并隔离高频噪声。（请注意，这与为减少测量噪声而对信号源波形进行平均处理的概念类似，后者是一种不同但相关的技术）。这个截止值足够高，对测量上升时间的影响最小，同时还能改善压摆率结果。

## 4.6 Test-1.1.6 数据通道 LP-TX 异或时钟的脉冲宽度 ( $T_{LP-PULSE-TX}$ )

### 4.6.1 测试设置

测试要求 DUT (被测设备) 提供符合 MIPI D-PHY 规格的 LP (低功耗) 数据通道上的 ULPS (超低功耗状态) 进入序列的波形。

下图展示了一个典型的 ULPS (超低功耗状态) 进入序列波形。该序列包含两个主要阶段:

- (1) 进入 Escape Mode (逃逸模式): 从 LP-11 开始, 经过 10、00、01, 最后回到 00 状态。
- (2) 发送 Ultra-Low Power State 进入命令: 在 Escape Mode 中发送特定的命令序列 00011110 以进入 ULPS 状态。测试执行流程。

### 4.6.2 测试步骤

- 使用 50pF  $C_{LOAD}$  测试夹具将 DUT 连接到测试装置 (具体连接方式, 请参考 2.2 章节)。
- 创建一个条件, 使 DUT 在数据通道 0 上发出 ULPS 输入序列。
- 使用 DSO 捕捉 LP 信号序列。
- 适用于最大 HS 速率  $\leq 1.5\text{Gbps}$  的 DUT):
  - 使用下述后处理方法, 计算 LP XOR 时钟, 并使用 930mV 的最大跳闸阈值电压测量两个  $T_{LP-PULSE-TX}$  值 (第一个值和所有其他值的最小值)。
  - 使用下述后处理方法, 计算 LP XOR 时钟, 并使用 500mV 的最小跳闸电平阈值电压测量两个  $T_{LPPULSE-TX}$  值 (第一个值和所有其他值的最小值)。
- 对数据通道 1、2 和 3 (如果 DUT 实现了多个数据通道) 重复前面的步骤。

### 4.6.3 测量数据通道 LP-TX 异或时钟的脉冲宽度 ( $T_{LP-PULSE-TX}$ )

**目的:** 验证 DUT 的数据通道 LP-TX 的异或时钟的脉冲宽度 ( $T_{LP-PULSE-TX}$ ) 是否在一致性限制范围内。对于每个数据通道, 停止状态后的第一个 LP-TX 的异或时钟脉冲和停止状态前的最后一个 LP-TX 的异或时钟脉冲的宽度必须大于 40ns。所有其他 LP-TX 的异或时钟脉冲的宽度必须大于 20ns, 才符合一致性标准。

#### 参考指标:

- [1] D-PHY Specification, Section 8.1.2, Line 1389
- [2] D-PHY Specification, Section 8.1.2, Table 19
- [3] D-PHY Specification, Section 8.1.2, Table 22

下图是创建 LP-TX 异或时钟的操作示例。

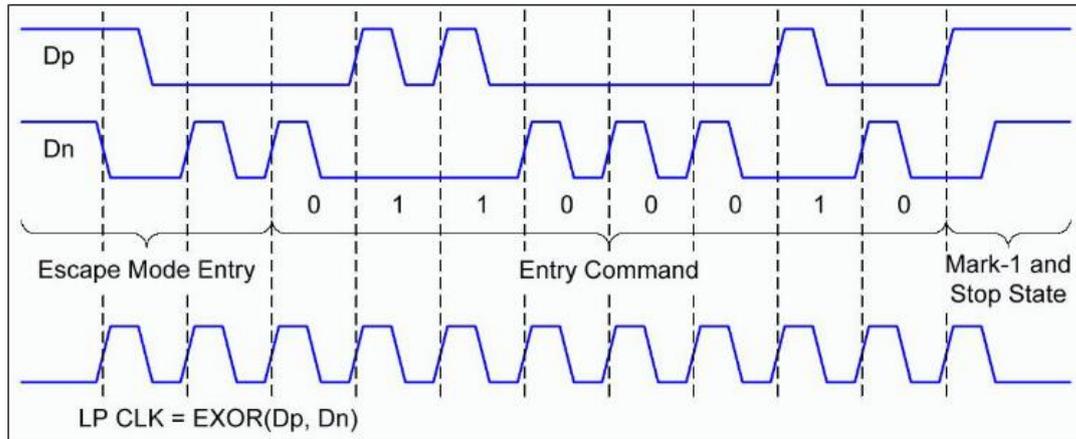


图 4-7 从  $V_{DP}$  和  $V_{DN}$  生成 LP XOR 时钟

在该测试中, 将使用实时高速存储示波器的两个通道捕获来自 DUT 数据通道 LP 发射器的两个单端  $V_{DP}$  和  $V_{DN}$  信号。使用后处理方法, 将根据指定的阈值电平对  $V_{DP}$  和  $V_{DN}$  波形样本进行两电平量化 (即向上/向下舍入为 0 或 1)。然后将得到的二进制数组进行异或, 以创建 LP 时钟采样, 并在此基础上执行  $T_{LP-PULSE-TX}$  测量。将记录所有异或时钟脉冲的脉宽值 (基于生成的异或信号的中点交叉时间), 并根据各自的一致性限值进行验证。(请注意, 在本测试中, "脉冲"定义为正脉冲, 即上升沿到下降沿)。

Parameter	Description		Min	Nom	Max	Units
$T_{RLP}/T_{FLP}$	15%-85% rise time and fall time				25	ns
$T_{REOT}$	30%-85% rise time and fall time				35	ns
$T_{LP-PULSE-TX}$	Pulse width of the LP exclusive-OR clock	First LP exclusive-OR clock pulse after Stop state or last pulse before Stop state	40			ns
		All other pulses	20			ns

图 4-8 TLP-PULSE-TX 规范要求

根据图 4-9,  $V_{IL,MAX} = 550mV$ ,  $V_{OL,MIN} = -50mV$ ,  $V_{IH,MIN} = 880mV$  ( $\leq 1.5Gbps$  DUT),  $V_{OL,MAX} = 50mV$ 。因此, 最小阈值电平变为  $550 - 50 = 500mV$ , 最大阈值电平为  $880 + 50 = 930mV$  ( $\leq 1.5Gbps$  DUT)。

LP 异或时钟使用最大阈值电平 930 mV 和最小阈值电平 500 mV 分别计算。

Table 22 LP Receiver DC specifications

Parameter	Description	Min	Nom	Max	Units
$V_{IH}$	Logic 1 input voltage	880			mV
$V_{IL}$	Logic 0 input voltage, not in ULP State			550	mV
$V_{IL-ULPS}$	Logic 0 input voltage, ULP State			300	mV
$V_{HYST}$	Input hysteresis	25			mV

图 4-9 LP 接收机直流电压规范

**可观测结果：**

对于两个阈值电平电压和所有数据通道：

- 验证初始停止状态后的第一个 LP XOR 时钟脉冲是否大于 40ns。
- 验证所有其他时钟脉冲的最小值是否大于 20ns。

**注意：**此外，为减少测量噪音，在进行测量之前，将对信号源波形进行 400-MHz 四阶巴特沃斯低通滤波。（详见 Test-1.1.5 讨论）。

## 4.7 Test-1.1.7 数据通道 LP-TX 异或时钟周期 ( $T_{LP-PER-TX}$ )

### 4.7.1 测试设置

测试要求 DUT (被测设备) 提供符合 MIPI D-PHY 规格的 LP (低功耗) 数据通道上的 ULPS (超低功耗状态) 进入序列的波形。

下图展示了一个典型的 ULPS (超低功耗状态) 进入序列波形。该序列包含两个主要阶段:

(1) 进入 Escape Mode (逃逸模式): 从 LP-11 开始, 经过 10、00、01, 最后回到 00 状态。

(2) 发送 Ultra-Low Power State 进入命令: 在 Escape Mode 中发送特定的命令序列 00011110 以进入 ULPS 状态。测试执行流程。

### 4.7.2 测试步骤

- 使用 50pF  $C_{LOAD}$  测试夹具将 DUT 连接到测试装置 (具体连接方式, 请参考 2.2 章节)。
- 创建一个条件, 使 DUT 在数据通道 0 上发出 ULPS 输入序列。
- 使用 DSO 捕捉 LP 信号序列。适用于最大 HS 速率  $\leq 1.5\text{Gbps}$  的 DUT):

使用下述后处理方法计算 LP XOR 时钟, 并使用最大跳变电平阈值 930mV 测量  $T_{LP-PER-TX}$  上升沿到上升沿和下降沿到下降沿周期。

使用下述后处理方法计算 LP XOR 时钟, 并使用 500mV 的最小跳变电平阈值测量  $T_{LP-PER-TX}$  上升沿到上升沿和下降沿到下降沿周期。

- 对数据通道 1、2 和 3 (如果 DUT 实现了多个数据通道) 重复前面的步骤。

### 4.7.3 测量数据通道 LP-TX 异或时钟周期 ( $T_{LP-PER-TX}$ )

**目的:** 验证 DUT 的数据通道 LP-TX 异或时钟的周期 ( $T_{LP-PER-TX}$ ) 是否在一致性限制范围内。在所有情况下,  $T_{LP-PER-TX}$  的值都必须大于 90ns, 才符合一致性标准。

#### 参考指标:

[1] D-PHY Specification, Section 8.1.2, Line 1389

[2] D-PHY Specification, Section 8.1.2, Table 19

在本测试中, 将使用前一项测试中描述的过程 (参见 Test-1.1.6) 捕获和计算 LP 时钟。不过, 本测试不是测量从上升到下降和从下降到上升的脉冲宽度, 而是以异或时钟从上升到上升和从下降到下降的周期来测量  $T_{LP-PER-TX}$ 。报告的  $T_{LP-PER-TX}$  结果将是所有测量周期值的最小值, 并将分别报告上升到上升周期和下降到下降周期的情况。将使用 50pF  $C_{LOAD}$  测试夹具和 400MHz 测试滤波器对所有数据通道进行测量。

Parameter	Description		Min	Nom	Max	Units
$T_{RLP}/T_{FLP}$	15%-85% rise time and fall time				25	ns
$T_{REOT}$	30%-85% rise time and fall time				35	ns
$T_{LP-PULSE-TX}$	Pulse width of the LP exclusive-OR clock	First LP exclusive-OR clock pulse after Stop state or last pulse before Stop state	40			ns
		All other pulses	20			ns
$T_{LP-PER-TX}$	Period of the LP exclusive-OR clock		90			ns

图 4-10 TLP-PER-TX 规范要求

**可观测结果：**

对于两个阈值电平电压和所有数据通道：

- 验证初始停止状态后的第一个 LP-TX 的异或时钟脉冲是否大于 40ns。
- 验证所有其他时钟脉冲的最小值是否大于 20ns。

**注意：**TLP-PER-TX 仅在规范表 22 中提及（如下所示），并没有明确的文字说明/参考。该定义也没有明确说明该要求适用的阈值电平和  $C_{LOAD}$  值。因此，在进行一致性测试时必须选择相应的值。为了与之前的测试（Test-1.1.6, XOR 时钟脉冲宽度）保持一致，将使用 500mV 和 930mV ( $\leq 1.5\text{Gbps}$  DUT) 为阈值电平，并使用 50pF  $C_{LOAD}$  测试夹具进行测量。

## 5 时钟通道 LP-TX 信号要求 (Group 2)

### 5.1 Test-1.2.1 时钟通道 LP-TX Thevenin 输出高电平电压 ( $V_{OH}$ )

#### 5.1.1 测试设置

测试要求 DUT (被测设备) 提供符合 MIPI D-PHY 规格的 LP (低功耗) 数据通道上的 ULPS (超低功耗状态) 进入序列的波形。

下图展示了一个典型的 ULPS (超低功耗状态) 进入序列波形。该序列包含两个主要阶段:

- (1) 进入 Escape Mode (逃逸模式): 从 LP-11 开始, 经过 10、00、01, 最后回到 00 状态。
- (2) 发送 Ultra-Low Power State 进入命令: 在 Escape Mode 中发送特定的命令序列 00011110 以进入 ULPS 状态。测试执行流程。

#### 5.1.2 测试步骤

- 使用 50pF CLOAD 测试夹具将 DUT 连接到测试装置 (具体连接方式, 请参考 2.2 章节)。
- 创建一个条件, 使 DUT 在时钟通道 0 上发出 ULPS 输入序列。
- 使用 DSO 捕捉 LP 信号序列。
- 测量  $V_{DP}$  和  $V_{DN}$  信号的  $V_{OH}$ 。

#### 5.1.3 测量时钟通道 LP-TX Thevenin 输出高电平电压 ( $V_{OH}$ )

**目的:** 验证 DUT 数据通道 LP 发射器的戴维南输出高电平电压 ( $V_{OH}$ ) 是否在一致性限值范围内。

当支持的数据速率  $\leq 1.5$  Gbps 时,  $V_{OH}$  的一致性范围在 1.1 和 1.3V 之间如图 5-1。

#### 参考指标:

[1] D-PHY Specification, Section 8.1.2, Line 1389

[2] D-PHY Specification, Section 8.1.2, Table 18

**$V_{OH}$  的定义:** “ $V_{OH}$  是引脚未加载 (无外接负载) 时处于高电平状态的戴维宁输出电压。”

在此测试中, 被测器件 (DUT) 的数据通道  $V_{OH}$  值将通过高速实时数字存储示波器进行测量, 此时 DUT 正在向开路终结条件下的线路驱动低功耗 (LP) 信号序列。(请注意, 此测试可以在 DUT 输出固定 LP-11 状态时进行, 但通常是与本组内的其他测试结合执行, 即基于单个捕获的 LP Escape Mode 序列波形进行测试, 这种情况下测量仅针对于输出高电平比特。) 在进行测量时,  $V_{OH}$  取所有超过  $V_{DP}$  和  $V_{DN}$  信号幅度绝对峰值到峰值 50% 的波形样本的众数来确定。(需要注意的是, 这一测量分别针对  $V_{DP}$  和  $V_{DN}$  波形进行, 并且针对 DUT 的每个数据通道独立执行。) 要求每个数据通道的  $V_{DP}$  和  $V_{DN}$  信号的

$V_{OH}$  值均须位于 1.1V 至 1.3V 之间，才视为满足一致性。

**Table 18 LP Transmitter DC Specifications**

Parameter	Description	Min	Nom	Max	Units	Notes
$V_{OH}$	Thevenin output high level	1.1	1.2	1.3	V	
$V_{OL}$	Thevenin output low level	-50		50	mV	
$Z_{OLP}$	Output impedance of LP transmitter	110			$\Omega$	1, 2

图 5-1  $V_{OH}$  规格要求

#### 可观测结果：

对于所有数据通道：

- 对于支持  $\leq 1.5\text{Gbps}$  的 DUT 验证时钟通道  $V_{DP}$  波形的  $V_{OH}$  在 1.1 和 1.3 V 之间。
- 对于支持  $\leq 1.5\text{Gbps}$  的 DUT 验证时钟通道  $V_{DN}$  波形的  $V_{OH}$  在 1.1 和 1.3 V 之间。

**注意：**应使用 Test-1.1.1 中所述的基于模式的相同方法测量  $V_{OH}$ 。测量将在  $V_{DP}$  和  $V_{DN}$  时钟通道波形上分别进行，并将使用 50pF  $C_{LOAD}$  测试夹具和 400MHz 测试滤波器进行测量。

## 5.2 Test-1.2.2 时钟通道 LP-TX Thevenin 输出低电平电压 ( $V_{OL}$ )

### 5.2.1 测试设置

测试要求 DUT (被测设备) 提供符合 MIPI D-PHY 规格的 LP (低功耗) 数据通道上的 ULPS (超低功耗状态) 进入序列的波形。

下图展示了一个典型的 ULPS (超低功耗状态) 进入序列波形。该序列包含两个主要阶段:

- (1) 进入 Escape Mode (逃逸模式): 从 LP-11 开始, 经过 10、00、01, 最后回到 00 状态。
- (2) 发送 Ultra-Low Power State 进入命令: 在 Escape Mode 中发送特定的命令序列 00011110 以进入 ULPS 状态测试执行流程。

### 5.2.2 测试步骤

- 使用 50pF  $C_{LOAD}$  测试夹具将 DUT 连接到测试装置 (具体连接方式, 请参考 2.2 章节)。
- 创建一个条件, 使 DUT 在时钟通道 0 上发出 ULPS 输入序列。
- 使用 DSO 捕捉 LP 信号序列。
- 测量  $V_{DP}$  和  $V_{DN}$  信号的  $V_{OL}$ 。

### 5.2.3 测量时钟通道 LP-TX Thevenin 输出低电平电压 ( $V_{OL}$ )

**目的:** 验证 DUT 的时钟通道 LP 发射器的 Thevenin 输出低电平电压 ( $V_{OL}$ ) 是否在一致性限制范围内。当支持的数据速率  $\leq 1.5$  Gbps 时,  $V_{OL}$  值在 -50mV 和 50mV, 才符合一致性范围。

#### 参考指标:

[1] D-PHY Specification, Section 8.1.2, Line 1389

[2] D-PHY Specification, Section 8.1.2, Table 18

在这项测试中, 将使用高速实时存储示波器测量 DUT 的时钟通道  $V_{OL}$  值, 同时 DUT 将 LP 信号序列驱动到 50pF  $C_{LOAD}$  测试夹具中。

Table 18 LP Transmitter DC Specifications

Parameter	Description	Min	Nom	Max	Units	Notes
$V_{OH}$	Thevenin output high level	1.1	1.2	1.3	V	
$V_{OL}$	Thevenin output low level	-50		50	mV	
$Z_{OLP}$	Output impedance of LP transmitter	110			$\Omega$	1, 2

图 5-2  $V_{OL}$  规格要求

**可观测结果：**

时钟通道  $V_{DP}$  波形的  $V_{OL}$  在 -50 和 +50mV 之间。

时钟通道  $V_{DN}$  波形的  $V_{OL}$  在 -50 和 +50mV 之间。

**注意：**测量将在  $V_{DP}$  和  $V_{DN}$  时钟通道波形上分别进行，并将使用 50pF  $C_{LOAD}$  测试夹具和 400MHz 测试滤波器。

## 5.3 Test-1.2.3 时钟通道 LP-TX 15%-85%上升时间 (TRLP)

### 5.3.1 测试设置

测试要求 DUT（被测设备）提供符合 MIPI D-PHY 规格的 LP（低功耗）数据通道上的 ULPS（超低功耗状态）进入序列的波形。

下图展示了一个典型的 ULPS（超低功耗状态）进入序列波形。该序列包含两个主要阶段：

- (1) 进入 Escape Mode（逃逸模式）：从 LP-11 开始，经过 10、00、01，最后回到 00 状态。
- (2) 发送 Ultra-Low Power State 进入命令：在 Escape Mode 中发送特定的命令序列 00011110 以进入 ULPS 状态测试执行流程。

### 5.3.2 测试步骤

- 使用 50pF  $C_{LOAD}$  测试夹具将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节）。
- 创建一个条件，使 DUT 在时钟通道上发出 ULPS 退出序列（Mark-1/Stop）。
- 使用 DSO 捕捉 LP 信号序列。
- 测量上述 VDP 和 VDN 的 TRLP。

### 5.3.3 测量时钟通道 LP-TX 15%-85%上升时间 ( $T_{RLP}$ )

**目的：**验证 DUT 时钟线 LP 发射器的 15%-85%上升时间 ( $T_{RLP}$ ) 是否在一致性限制范围内。 $V_{DP}$  和  $V_{DN}$  的  $T_{RLP}$  值应小于 25ns，才符合一致性范围。

#### 参考指标：

[1] D-PHY Specification, Section 8.1.2, Line 1389

[2] D-PHY Specification, Section 8.1.2, Table 22

在此测试中，将使用高速实时存储示波器测量 DUT 的时钟通道  $T_{RLP}$  值，同时 DUT 将 LP 信号序列驱动到两个终止情况。请注意，执行此测试的唯一可能选择是开机后的初始 LP 上升沿或 ULPS 退出序列期间的上升沿，因为这是正常操作下传输 LP 上升沿的唯一两个时间。建议使用 ULPS 退出序列（Mark-1/Stop，或 LP-00/10/11）（并在下面的程序中指定），因为大多数设备都支持该序列，并能产生最一致的结果。

Parameter	Description	Min	Nom	Max	Units
$T_{RLP}/T_{FLP}$	15%-85% rise time and fall time			25	ns

图 5-3 VOH 规格要求

**可观测结果：**

验证时钟通道  $V_{DP}$  波形的  $T_{RLP}$  小于 25ns。

验证时钟通道  $V_{DN}$  波形的  $T_{RLP}$  小于 25ns。

**注意：**测量将在  $V_{DP}$  和  $V_{DN}$  时钟通道波形上分别进行，并将使用 50pF  $C_{LOAD}$  测试夹具和 400MHz 测试滤波器。

## 5.4 Test-1.2.4 时钟通道 LP-TX 15%-85%下降时间 ( $T_{FLP}$ )

### 5.4.1 测试设置

测试要求 DUT (被测设备) 提供符合 MIPI D-PHY 规格的 LP (低功耗) 数据通道上的 ULPS (超低功耗状态) 进入序列的波形。

下图展示了一个典型的 ULPS (超低功耗状态) 进入序列波形。该序列包含两个主要阶段:

- (1) 进入 Escape Mode (逃逸模式): 从 LP-11 开始, 经过 10、00、01, 最后回到 00 状态。
- (2) 发送 Ultra-Low Power State 进入命令: 在 Escape Mode 中发送特定的命令序列 00011110 以进入 ULPS 状态测试执行流程。

### 5.4.2 测试步骤

- 使用 50pF  $C_{LOAD}$  测试夹具将 DUT 连接到测试装置 (具体连接方式, 请参考 2.2 章节)。
- 创建一个条件, 使 DUT 在时钟通道上产生 ULPS 输入序列。
- 使用 DSO 捕捉 LP 信号序列。
- 测量上述  $V_{DP}$  和  $V_{DN}$  的  $T_{FLP}$ 。

### 5.4.3 测量时钟通道 LP-TX 15%-85%上下下降时间 ( $T_{FLP}$ )

**目的:** 验证 DUT 时钟线 LP 发射器的 15%-85%下降时间 ( $T_{FLP}$ ) 是否在一致性限制范围内。 $V_{DP}$  和  $V_{DN}$  的  $T_{FLP}$  值应小于 25ns, 才符合一致性范围。

#### 参考指标:

[1] D-PHY Specification, Section 8.1.2, Line 1389

[2] D-PHY Specification, Section 8.1.2, Table 22

在此测试中, 将使用高速实时存储示波器测量 DUT 的时钟通道  $T_{FLP}$  值, 同时 DUT 将 LP 信令序列驱动到 50pF 测试负载。请注意, 与 Test-1.2.1 和 Test-1.2.2 一样, 本测试将使用 ULPS 输入序列。使用测得的时钟通道  $V_{OH}$  和  $V_{OL}$  LP-TX Thevenin 输出电压电平作为参考 (分别参见 Test-1.2.1 和 Test-1.2.2), 独立测量时钟通道  $V_{DP}$  和  $V_{DN}$  波形下降沿的 15%-85%下降时间 ( $T_{FLP}$ )。

Parameter	Description	Min	Nom	Max	Units
$T_{RLP}/T_{FLP}$	15%-85% rise time and fall time			25	ns

图 5-4  $V_{OH}$  规格要求

**可观测结果：**

验证时钟通道  $V_{DP}$  波形的  $T_{FLP}$  小于 25ns。

验证时钟通道  $V_{DN}$  波形的  $T_{FLP}$  小于 25ns。

**注意：**无。

## 5.5 Test-1.2.5 时钟通道 LP-TX 压摆率与负载电容的关系 ( $\delta V/\delta t_{SR}$ )

### 5.5.1 测试设置

测试要求 DUT (被测设备) 提供符合 MIPI D-PHY 规格的 LP (低功耗) 数据通道上的 ULPS (超低功耗状态) 进入序列的波形。

下图展示了一个典型的 ULPS (超低功耗状态) 进入序列波形。该序列包含两个主要阶段:

- (1) 进入 Escape Mode (逃逸模式): 从 LP-11 开始, 经过 10、00、01, 最后回到 00 状态。
- (2) 发送 Ultra-Low Power State 进入命令: 在 Escape Mode 中发送特定的命令序列 00011110 以进入 ULPS 状态测试执行流程。

### 5.5.2 测试步骤

- 使用 50pF  $C_{LOAD}$  测试夹具将 DUT 连接到测试装置 (具体连接方式, 请参考 2.2 章节)。
- 创建一个条件, 使 DUT 在数据通道 0 上发出 ULPS 输入序列。
- 使用 DSO 捕捉 LP 信号序列。

### 5.5.3 时钟通道 LP-TX 压摆率与负载电容的关系 ( $\delta V/\delta t_{SR}$ )

**目的:** 在特定电容负载条件下, 验证 DUT 时钟线 LP 发射器的回转速率 ( $\delta V/\delta t_{SR}$ ) 是否在一致性限值范围内。

#### 参考指标:

[1] D-PHY Specification, Section 8.1.2, Line 1389

[2] D-PHY Specification, Section 8.1.2, Table 22

这项测试在规范要求和参考资料方面与数据通道压摆率与  $C_{LOAD}$  测试 (见 4.5 Test-1.1.5) 完全相同。时钟通道情况下的唯一区别是测试波形不同, 因为时钟通道的 ULPS 输入序列与数据通道不同, 不包含任何上升沿。因此, 为了测量时钟通道上升沿的压摆率, 必须以与时钟通道上升时间测试相同的方式产生上升沿。(请参阅前面测试 5.3 Test-1.2.3 和 5.4 Test-1.2.4, 了解在时钟通道上生成 LP 上升沿的有限选项)。

此外, 由于时钟 ULPS 进入和退出序列仅会为  $V_{DP}$  和  $V_{DN}$  产生一个上升和下降 LP 边沿, 因此通常无法对多个边沿的每个结果进行平均 (除非可以对 DUT 和示波器进行配置, 以便在一个波形记录中捕获和累积多个触发事件, 但并非所有 DUT 都能做到这一点)。可以在单个上升沿或下降沿上执行非平均测量, 但应注意确保不会因噪声或其他瞬态伪影而出现错误故障。

$\delta V/\delta t_{SR}$	Slew rate @ $C_{LOAD} = 0pF$			500	mV/ns	1, 3, 7, 8
	Slew rate @ $C_{LOAD} = 5pF$			300	mV/ns	1, 3, 7, 8
	Slew rate @ $C_{LOAD} = 20pF$			250	mV/ns	1, 3, 7, 8
	Slew rate @ $C_{LOAD} = 70pF$			150	mV/ns	1, 3, 7, 8
	Slew rate @ $C_{LOAD} = 0$ to 70pF (Falling Edge Only)	30			mV/ns	1, 2, 3
	Slew rate @ $C_{LOAD} = 0$ to 70pF (Rising Edge Only)	30			mV/ns	1, 3, 9
	Slew rate @ $C_{LOAD} = 0$ to 70pF (Rising Edge Only)	30 – 0.075 * ( $V_{O,INST} - 700$ )			mV/ns	1, 10, 11
$C_{LOAD}$	Load capacitance	0		70	pF	1

图 5-5  $\delta V/\delta t_{SR}$  规格要求

**可观测结果：**

见 4.5 Test-1.1.5 可观察结果。

**注意：**无。

## 6 数据通道 HS-TX 信号要求 (Group 3)

### 6.1 Test-1.3.1 数据通道 HS Entry:低功耗发送至高速模式转换值

#### 6.1.1 测试设置

使 DUT 在数据通道 0 上产生 HS 突发序列。

#### 6.1.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节）。
- 创建一个条件，使 DUT 在数据通道 0 上产生 HS 突发序列。
- 使用 DSO 捕捉 HS 突发序列。
- 找到  $V_{DP}$ 、 $V_{DN}$  分别与  $V_{IL,MAX}$  (550mV) 交叉点。
- 测量两个交叉点时间之差就是 TLPX 值。
- 对数据通道 1、2 和 3 重复前面的步骤（如果 DUT 实现了多个数据通道）。

#### 6.1.3 测量数据通道 HS Entry:低功耗发送至高速模式转换值

**目的：**验证高速 (HS) 传输之前，需要确认最终数据通道处于 LP-01 状态的持续时间 ( $T_{LPX}$ ) 是否大于其最小一致性要求值，即最后一个 LP-01 状态的持续时间至少为 50 ns。

##### 参考指标：

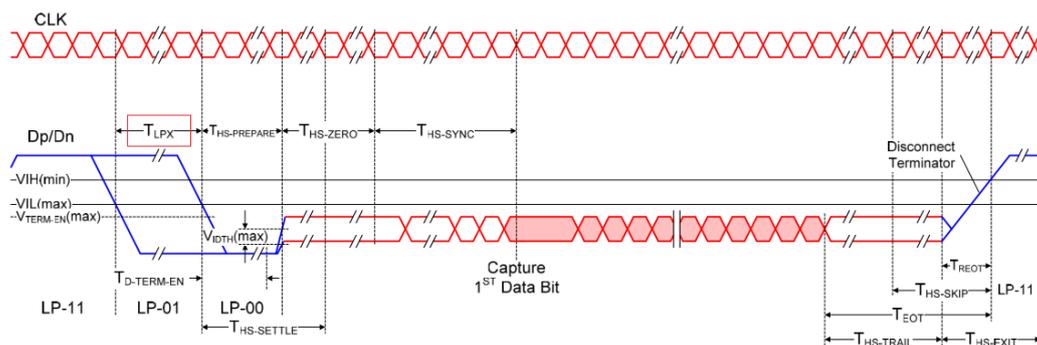
[1] D-PHY Specification, Section 5.2, Line 751

[2] D-PHY Specification, Section 5.9, Table 14

##### 测试介绍：

D-PHY 的低功耗 (LP) 模式是由一些实施特定速率的状态转换组成的，这些速率小于每秒 20 兆次转换。请注意，这些状态转换根据上下文（控制模式、逃逸模式或 LPDT 模式）可能有不同的含义，并不等同于线路上的‘位’。D-PHY 规范规定，“所有 LP 状态周期的持续时间都应至少为  $T_{LPX}$ 。”并定义了 TLPX 的最小值为 50 ns。

在此测试中，重点特别是在 HS 突发序列之前发生的最后一个 LP-01 状态的持续时间。该状态将从  $V_{DP}$  下降沿低于最大低电平 LP 阈值  $V_{IL,MAX}$  (550 mV) 时开始测量，并在  $V_{DN}$  下降沿低于相同  $V_{IL,MAX}$  阈值时结束。图 6-1 显示了  $T_{LPX}$  区间的图片。

图 6-1  $T_{LPX}$  区间

Parameter	Description	Min	Typ	Max	Unit
$T_{HS-PREPARE}$	Time that the transmitter drives the Data Lane LP-00 Line state immediately before the HS-0 Line state starting the HS transmission	$40 \text{ ns} + 4*UI$		$85 \text{ ns} + 6*UI$	ns
$T_{HS-PREPARE} + T_{HS-ZERO}$	$T_{HS-PREPARE}$ + time that the transmitter drives the HS-0 state prior to transmitting the Sync sequence.	$145 \text{ ns} + 10*UI$			ns
$T_{HS-SETTLE}$	Time interval during which the HS receiver shall ignore any Data Lane HS transitions, starting from the beginning of $T_{HS-PREPARE}$ .	$85 \text{ ns} + 6*UI$		$145 \text{ ns} + 10*UI$	ns
$T_{HS-SKIP}$	Time interval during which the HS-RX should ignore any transitions on the Data Lane, following a HS burst. The end point of the interval is defined as the beginning of the LP-11 state following the HS burst.	40		$55 \text{ ns} + 4*UI$	ns
$T_{HS-TRAIL}$	Time that the transmitter drives the flipped differential state after last payload data bit of a HS transmission burst	$\max(n*8*UI, 60 \text{ ns} + n*4*UI)$			ns
$T_{INIT}$	See section 5.11.	100			$\mu\text{s}$
$T_{LPX}$	Transmitted length of any Low-Power state period	50			ns

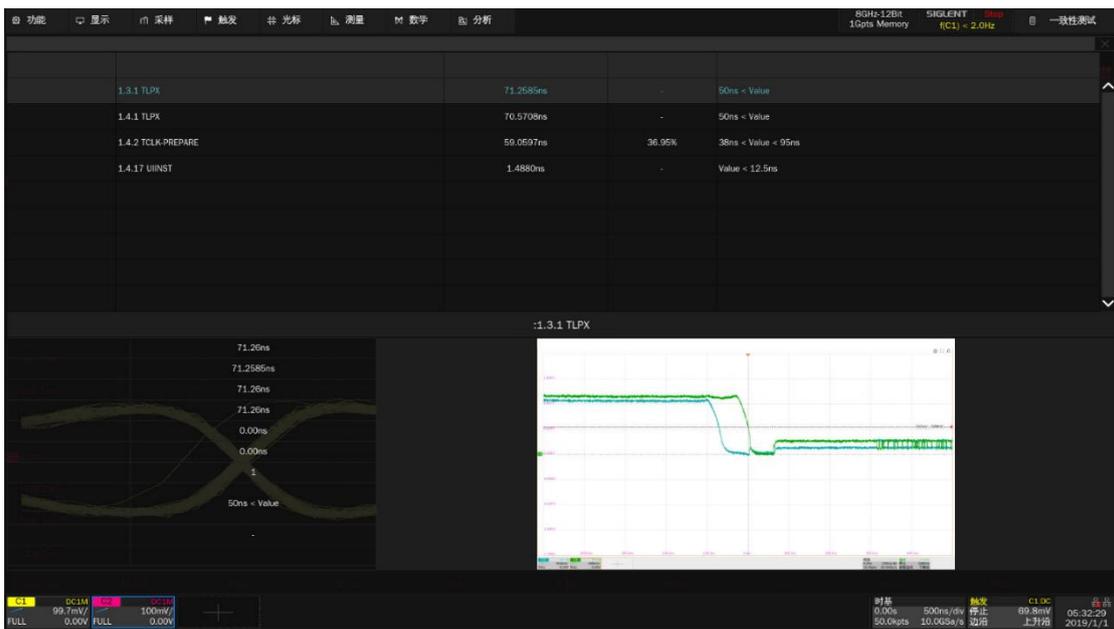
图 6-2  $T_{LPX}$  规格要求

可观测结果:

对于所有数据通道:

验证  $T_{LPX}$  是否大于或等于 50ns。

参考测试结果如下：



注意：无。

## 6.2 Test-1.3.2 数据通道 HS Entry:高速模式准备时间值

### 6.2.1 测试设置

使 DUT 在数据通道 0 上产生 HS 突发序列。

### 6.2.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节）。
- 使 DUT 在数据通道 0 上产生 HS 突发序列。
- 使用 DSO 捕捉 HS 突发序列。
- 测量计算  $T_{HS-PREPARE}$ 。
- 对数据通道 1、2 和 3（如果 DUT 实现多个数据通道）重复前面的步骤。

### 6.2.3 测量数据通道 HS Entry:高速模式准备时间值

**目的：**为了验证在高速（HS）传输之前的最后一个 LP-00 状态的持续时间（ $T_{HS-PREPARE}$ ）是否在一致性限制范围内。即最后一个 LP-00 状态的持续时间要在(40 ns + 4UI) 至 (85 ns + 6UI)的范围内，才符合一致性要求。

#### 参考指标：

[1] D-PHY Specification, Section 5.14.2, Line 1040

[2] D-PHY Specification, Section 5.9, Table 14

#### 测试介绍：

作为将数据通道切换到高速（HS）模式过程的一部分，D-PHY 规范提供了一个关于设备在启用 HS 模式之前（这发生在  $T_{HS-ZERO}$  区间开始时）必须传输最后一个 LP-00 状态的最小时间间隔的规范。这个区间被定义为  $T_{HS-PREPARE}$ ，并在图 6-3 展示。为了确保符合一致性规范， $T_{HS-PREPARE}$  的持续时间应该在 (40 ns + 4UI) 和 (85 ns + 6UI) 之间（其中 UI 是 DUT 的标称高速单位间隔）。只有当  $T_{HS-PREPARE}$  落在这个范围内时，才能认为是符合一致性规范的。

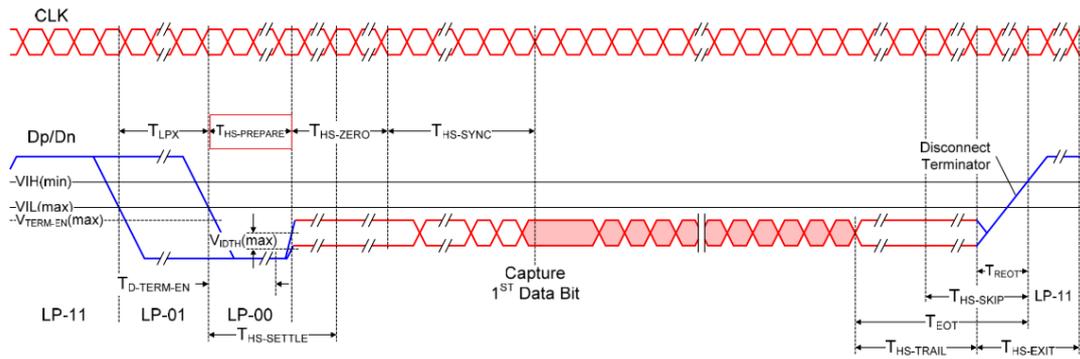


图 6-3  $T_{HS-PREPARE}$

在这项测试中，被测设备（DUT）将被配置为生成一个高速（HS）突发序列，该序列以 LP-11 状态开始并结束。 $T_{HS-PREPARE}$  区间从数据通道  $V_{DN}$  信号下降穿过  $V_{IL,MAX}$  (550 mV) 的时刻开始，并一直持续到扩展的  $T_{HS-ZERO}$  HS 差分状态的开始处，即差分波形上升穿过最小有效的 HS-0 差分阈值水平 ( $\pm 70$  mV) 的时刻。为了被视为符合规范，所测量的  $T_{HS-PREPARE}$  持续时间应该在  $(40\text{ ns} + 4UI)$  和  $(85\text{ ns} + 6UI)$  之间（其中 UI 是 DUT 的标称高速单位间隔，参见 7.17 Test-1.4.17）。

Parameter	Description	Min	Typ	Max	Unit
$T_{HS-PREPARE}$	Time that the transmitter drives the Data Lane LP-00 Line state immediately before the HS-0 Line state starting the HS transmission	40 ns + 4*UI		85 ns + 6*UI	ns

图 6-4  $T_{HS-PREPARE}$  规格要求

**可观测结果：**

对于所有数据通道：

确认  $T_{HS-PREPARE}$  在  $(40\text{ns} + 4*UI)$  和  $(85\text{ns} + 6*UI)$  之间。

**注意：无。**

## 6.3 Test-1.3.3 数据通道 HS Entry:高速模式准备时间值与高速零状态时间值之和

### 6.3.1 测试设置

使 DUT 在数据通道 0 上产生 HS 突发序列。

### 6.3.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节）。
- 使 DUT 在数据通道 0 上产生 HS 突发序列。
- 使用 DSO 捕捉 HS 突发序列。
- 测量 ( $T_{HS-PREPARE} + T_{HS-ZERO}$ )。
- 对数据通道 1、2 和 3 重复前面的步骤（如果 DUT 实现了多个数据通道）。

### 6.3.3 测量数据通道 HS Entry:高速模式准备时间值与高速零状态时间值之和

**目的:**为了验证  $T_{HS-PREPARE}$  时间加上被测设备(DUT)数据通道发射器在发送高速同步(HS Sync)序列之前驱动 HS-0 差分状态的时间 ( $T_{HS-ZERO}$ ) 总和是否大于其所需的最小持续时间。即时间总和需要大于 $(145\text{ns} + 10 \cdot UI)$  ns 才满足一致性要求。

#### 参考指标:

[1] D-PHY Specification, Section 5.14.2, Line 1041

[2] D-PHY Specification, Section 5.9, Table 14

#### 测试介绍:

作为将数据通道切换到高速 (HS) 模式过程的一部分, D-PHY 规范提供了一个关于设备在开始高速差分数据传输之前必须驱动扩展的 HS-0 差分状态的最小持续时间的规范。这个区间被定义为  $T_{HS-ZERO}$ , 并在图 6-5 展示。

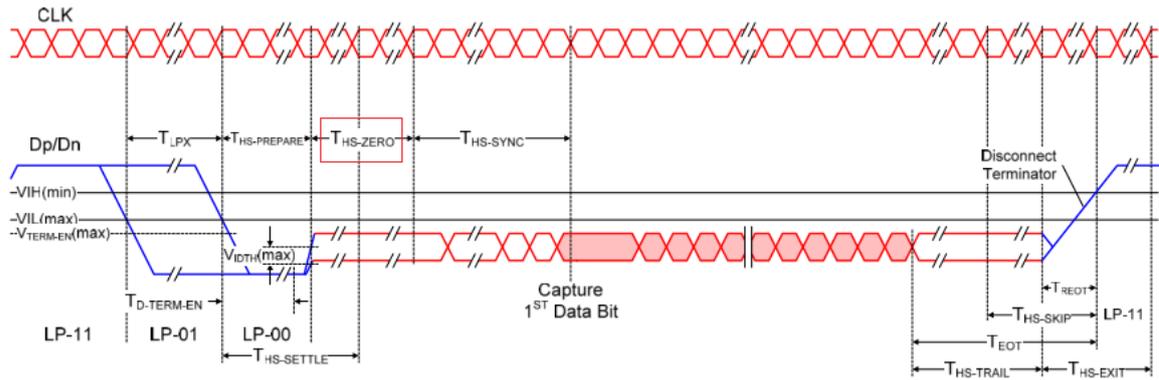


图 6-5  $T_{HS-ZERO}$

在这项测试中，被测设备（DUT）将被配置为生成一个高速（HS）突发序列，该序列以 LP-11 状态开始并结束。 $T_{HS-PREPARE} + T_{HS-ZERO}$  区间从数据通道  $V_{DN}$  信号下降穿过  $V_{IL,MAX}$  (550 mV) 的时刻开始，并一直持续到扩展的  $T_{HS-ZERO}$  HS-0 差分状态的结束处，即对应于 HS 同步序列第一个比特开始的点。需要注意的是，这个点不是第一个 HS-1 转换的位置，而是位于 HS 同步序列开始之前三个高速单位间隔的位置，因为同步序列是以 0001 开始的。因此，在扩展的 HS-0 与同步序列的第一个 HS-0 之间没有明显的分界线。为了被视为符合规范，所测量的  $T_{HS-PREPARE} + T_{HS-ZERO}$  的持续时间应该大于  $(145 \text{ ns} + 10 * UI) \text{ ns}$ （其中 UI 是 DUT 的标称高速单位间隔，参见 7.17 Test-1.4.17）。

Parameter	Description	Min	Typ	Max
$T_{HS-PREPARE}$	Time that the transmitter drives the Data Lane LP-00 Line state immediately before the HS-0 Line state starting the HS transmission	$40 \text{ ns} + 4*UI$		$85 \text{ ns} + 6*UI$
$T_{HS-PREPARE} + T_{HS-ZERO}$	$T_{HS-PREPARE}$ + time that the transmitter drives the HS-0 state prior to transmitting the Sync sequence.	$145 \text{ ns} + 10*UI$		

图 6-6  $T_{HS-PREPARE} + T_{HS-ZERO}$  规范要求

**可观测结果：**

对于所有数据通道：

验证  $(T_{HS-PREPARE} + T_{HS-ZERO})$  是否大于  $(145\text{ns} + 10*UI) \text{ ns}$  。

**注意：**无。

## 6.4 Test-1.3.4 数据通道 HS-TX 差分电压 ( $V_{OD(0)}$ 、 $V_{OD(1)}$ ) 值

### 6.4.1 测试设置

使 DUT 在数据通道 0 上生成 011111 和 100000 参考数据模式测量  $V_{OD(1)}$  和  $V_{OD(0)}$  振幅。

### 6.4.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节），使数据通道 0 连接到  $ZID = 100\Omega$  的通道。
- 使 DUT 在数据通道 0 上发出 HS 信号突发序列。
- 使用 DSO 捕捉 HS 突发序列。
- 使用后处理方法，测量上述  $V_{OD(1)}$  和  $V_{OD(0)}$ 。
- 再重复前面的步骤两次，一次是数据通道 0 连接到  $ZID = 125\Omega$ ，另一次是数据通道 0 连接到  $ZID = 80\Omega$ 。
- 对数据通道 1、2 和 3（如果 DUT 实现了多个数据通道）重复前面的步骤。

### 6.4.3 测量数据通道 HS-TX 差分电压 ( $V_{OD(0)}$ 、 $V_{OD(1)}$ ) 值

**目的：**为了验证被测设备 (DUT) 数据通道的 HS-TX 的差分电压 ( $V_{OD(0)}$  和  $V_{OD(1)}$ ) 是否在一致性限制范围内。对于所有三种  $ZID$ （差分输入阻抗）情况，以及对于所有的数据通道： $V_{OD(1)}$  是否在 140 到 270 mV 之间， $V_{OD(0)}$  在 -140 到 -270 mV 之间，才满足一致性要求。

#### 参考指标：

[1] D-PHY Specification, Section 8.1.1, Line 1323

[2] D-PHY Specification, Section 8.1.1, Figure 38

[3] D-PHY Specification, Section 8.1.1, Table 16

#### 测试介绍：

D-PHY 规范指出：“差分输出电压  $V_{OD}$  定义为  $D_p$  和  $D_n$  引脚上的电压  $V_{DP}$  和  $V_{DN}$  之间的差值。 $V_{OD} = V_{DP} - V_{DN}$ 。”。需要注意的是，这一定义可能有些模糊，因为它虽然定义了如何计算差分信号，但并没有明确规定如何为一致性测试目的测量差分电压。鉴于存在多种可能的方式来实现差分电压的测量（例如峰峰值、模式到模式、在整个 UI 内平均、在 UI 的 40% - 60% 内平均等）， $V_{OD}$  和  $V_{CMTX}$  在图 6-7 中以图形形式展示了理想的高速 (HS) 信号。

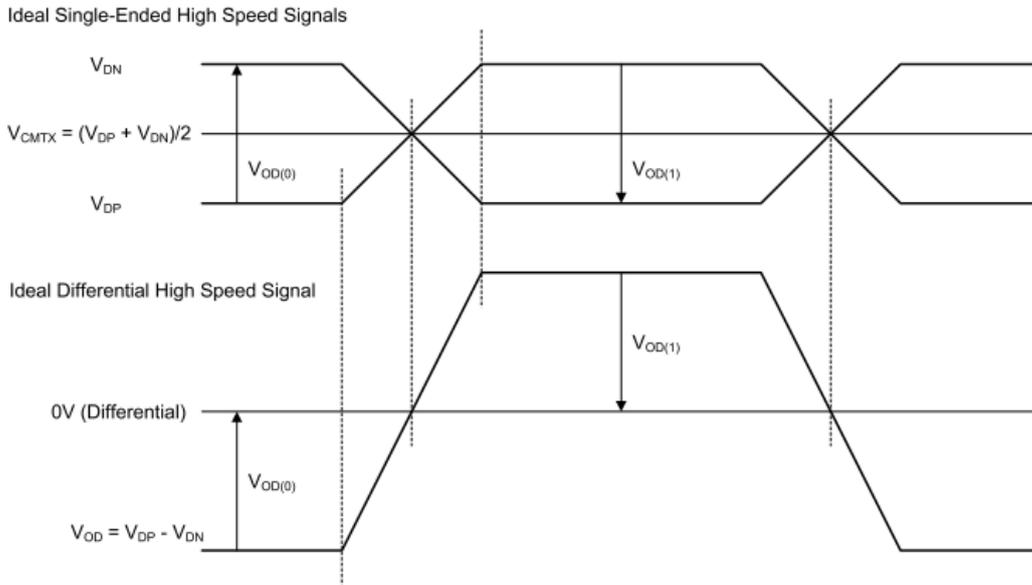


图 6-7 理想的单端和由此产生的差分高速 (HS) 信号

在这项测试中，将使用实时数字存储示波器 (DSO) 捕获被测设备 (DUT) 的高速 (HS) 数据通道信号。差分波形  $V_{OD}$  将被计算为正极性和负极性单端波形 ( $V_{DP}$  和  $V_{DN}$ ) 之间的差值 ( $V_{DP} - V_{DN}$ )。然后将在每个单位间隔 (Unit Interval, UI) 的中心对差分波形  $V_{OD}$  进行采样，以确定  $V_{OD(0)}$  和  $V_{OD(1)}$  的值，这两个值将分别对整个高速突发序列中的所有比特进行平均处理，以产生平均  $V_{OD(0)}$  和  $V_{OD(1)}$  值。获得平均波形后， $V_{OD(1)}$  值将作为平均波形中位于第四和第五个“1”位中心之间的所有采样的平均值进行测量。平均  $V_{OD(1)}$  值必须在 140 到 270 mV 的范围内。同样，平均  $V_{OD(0)}$  值必须在 -140 到 -270 mV 的范围内。才符合规范要求 (需要注意的是，这相当于差分峰峰值电压值为 280 到 540 mVppd)。

Table 16 HS Transmitter DC Specifications

Parameter	Description	Min	Nom	Max	Units	Notes
$V_{CMTX}$	HS transmit static common-mode voltage	150	200	250	mV	1
$ \Delta V_{CMTX(1,0)} $	$V_{CMTX}$ mismatch when output is Differential-1 or Differential-0			5	mV	2
$ V_{OD} $	HS transmit differential voltage	140	200	270	mV	1
$ \Delta V_{OD} $	$V_{OD}$ mismatch when output is Differential-1 or Differential-0			10	mV	2
$V_{OHHS}$	HS output high voltage			360	mV	1
$Z_{OS}$	Single ended output impedance	40	50	62.5	$\Omega$	
$\Delta Z_{OS}$	Single ended output impedance mismatch			10	%	

图 6-8  $V_{OD}$  规格要求

**可观测结果：**

针对所有三种 ZID 情况和所有数据通道：

- 验证  $V_{OD\ High}$  (即  $V_{OD}(1)$ ) 是否在 140 到 270 mV 之间。
- 验证  $V_{OD\ Low}$  (即  $V_{OD}(0)$ ) 是否在 -140 到 -270 mV 之间。

**注意：**差分电压 (VOD) 和差分电压失配 ( $\Delta VOD$ ) 测试都是特别敏感的测量，会受到测试设置的很大影响。如果发现设备未能通过此测试，则应注意验证并仔细检查测试设置。确保已执行示波器校准和探针校准/纠偏（因为某些仪器的这些程序通常是分开的）。

## 6.5 Test-1.3.5 数据通道 HS TX 差分电压失配 ( $\Delta V_{OD}$ )

### 6.5.1 测试设置

使 DUT 在数据通道 0 上生成 011111 和 100000 参考数据模式测量  $V_{OD(1)}$  和  $V_{OD(0)}$  振幅。从而测量  $\Delta V_{OD}$ 。

### 6.5.2 测试步骤

- 从 6.4 Test-1.3.4 中获取所有三种 ZID 情况和所有数据通道的  $V_{OD(0)}$  和  $V_{OD(1)}$  数值结果。
- 计算  $\Delta V_{OD}$  结果。

### 6.5.3 测量数据通道 HS-TX 差分电压失配 ( $\Delta V_{OD}$ )

**目的:** 为了验证被测设备 (DUT) 数据通道的 HS-TX 的差分电压失配 ( $\Delta V_{OD}$ ) 是否在一致性限制范围内。对于所有三种 ZID (阻抗识别) 情况, 以及对于所有的数据通道,  $\Delta V_{OD}$  的绝对值必须小于 14 mV, 才满足一致性要求。

#### 参考指标:

[1] D-PHY Specification, Section 8.1.1, Line 1343

[2] D-PHY Specification, Section 8.1.1, Table 16

#### 测试介绍:

D-PHY 规范指出: “输出差分电压失配  $\Delta V_{OD}$  定义为差分输出电压在 Differential-1 状态 ( $V_{OD(1)}$ ) 和差分输出电压在 Differential-0 状态 ( $V_{OD(0)}$ ) 的绝对值之差。这可以用以下表达式表示:  $\Delta V_{OD} = |V_{OD(1)}| - |V_{OD(0)}|$ ”,  $\Delta V_{OD}$  如图 6-10 展示。

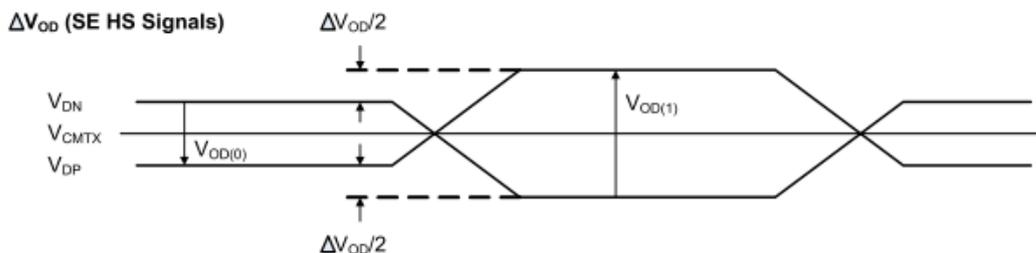


图 6-9 可能的单端 HS 信号的差分电压失真 ( $\Delta V_{OD}$ )

在这项测试中, 将使用之前测试 (参见 4.6 Test-1.1.6) 中获得的数值  $V_{OD(0)}$  和  $V_{OD(1)}$  结果来计算  $\Delta V_{OD}$  结果。这两个值的绝对值之差将被用来计算  $\Delta V_{OD}$ 。这将利用所有三种 ZID 测试案例的数据

来完成。

$ \Delta V_{OD} $	$V_{OD}$ mismatch when output is Differential-1 or Differential-0	-	-	14	mV
-------------------	---	---	---	----	----

图 6-10  $\Delta V_{OD}$  规格要求

**可观测结果：**

对于所有三种 ZID 情况，以及对于所有的数据通道：

验证  $\Delta V_{OD}$  的绝对值是否小于 14 mV。

**注意：**6.5 Test-1.3.5 需要和 6.4 Test-1.3.4 一起执行测试，或先测试 6.4 Test-1.3.4，再测试 6.5 Test-1.3.5。

## 6.6 Test-1.3.6 数据通道 HS-TX 单端输出高电压 ( $V_{OHHS(DP)}$ 、 $V_{OHHS(DN)}$ )

### 6.6.1 测试设置

使 DUT 在数据通道 0 上生成 011111 和 100000 参考数据模式测量  $V_{OHHS(DP)}$ 、 $V_{OHHS(DN)}$ 。

### 6.6.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节），使数据通道 0 连接到  $ZID = 100 \Omega$  的通道。
- 使 DUT 在数据通道 0 上发出 HS 信号突发序列。
- 使用 DSO 捕捉 HS 突发序列。
- 测量  $V_{OHHS(DP)}$  和  $V_{OHHS(DN)}$ 。
- 再重复前面的步骤两次，一次是数据通道 0 连接到的  $ZID = 125 \Omega$  通道，另一次是数据通道 0 连接到  $ZID = 80 \Omega$ 。
- 对数据通道 1、2 和 3（如果 DUT 实现了多个数据通道）重复前面的步骤。

### 6.6.3 测量数据通道 HS-TX 单端输出高电压 ( $V_{OHHS(DP)}$ 、 $V_{OHHS(DN)}$ )

**目的：**为了验证被测设备 (DUT) 数据通道的 HS-TX 单端输出高电压 ( $V_{OHHS(DP)}$  和  $V_{OHHS(DN)}$ ) 是否小于最大一致性限制。对于所有 ZID 情况和所有数据通 Dp 和 Dn 信号的  $V_{OHHS}$  都小于 360 mV，才满足一致性要求。

#### 参考指标：

[1] D-PHY Specification, Section 8.1.1, Line 1336

[2] D-PHY Specification, Section 8.1.1, Table 16

#### 测试介绍：

在这项测试中，将使用实时数字存储示波器捕获被测设备 (DUT) 的高速 (HS) 数据通道信号。 $V_{DP}$  和  $V_{DN}$  单端波形将使用 DSO 的独立通道进行捕获，并独立处理。将分别为  $V_{DP}$  和  $V_{DN}$  信号构建 011111 符号模式的平均参考脉冲，采用与 6.4 Test-1.3.4 中所述相同的方法，并使用相同的最小平均因子 128。 $V_{OHHS}$  值对于  $V_{DP}$  和  $V_{DN}$ （在这项测试中将分别标记为  $V_{OHHS(DP)}$  和  $V_{OHHS(DN)}$ ）将使用与计算  $V_{OD(1)}$  相同的方法进行计算，即通过计算所有落在第四个和第五个 '1' 比特中心之间的平均波形样本的平均值。

Parameter	Description	Min	Nom	Max	Units
$V_{CMTX}$	HS transmit static common-mode voltage	150	200	250	mV
$ \Delta V_{CMTX(1,0)} $	$V_{CMTX}$ mismatch when output is Differential-1 or Differential-0			5	mV
$ V_{OD} $	HS transmit differential voltage	140	200	270	mV
$ \Delta V_{OD} $	$V_{OD}$ mismatch when output is Differential-1 or Differential-0			10	mV
$V_{OHHS}$	HS output high voltage			360	mV

图 6-11  $V_{OHHS}$  规格要求**可观测结果：**

适用于所有三种 ZID 情况和所有数据通道：

验证  $V_{OHHS}$  对于 Dp 和 Dn 信号均小于 360 mV。

**注意：** $V_{OHHS}$  是 D-PHY 高速 (HS) 信号的三个基本幅度规范之一：HS 差分电压 ( $V_{OD}$ ) 的发射符合性范围为 140 至 270 mV 峰值 (即 280 至 540 mV 峰峰值)。HS 共模电压 ( $V_{CMTX}$ ) 的发射符合性范围为 150 至 250 mV。因此，有趣的是，如果一个设备被配置为使用最大  $V_{OD}$  和  $V_{CMTX}$  值，则实际上会违反  $V_{OHHS}$  的最大限制 360 mV，因为在这种情况下传输的  $V_{OHHS}$  将为  $250 + 135 = 385$  mV。因此，为了以最大  $V_{OHHS}$  水平进行传输，设备需要将其  $V_{OD}$  或  $V_{CMTX}$  设置从最大值降低。

## 6.7 Test-1.3.7 数据通道 HS-TX 静态共模电压 ( $V_{CMTX(1)}$ 、 $V_{CMTX(0)}$ )

### 6.7.1 测试设置

使 DUT 在数据通道 0 上产生 HS 突发序列。

### 6.7.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节），使数据通道 0 连接到  $ZID = 100 \Omega$  的通道。
- 使 DUT 在数据通道 0 上发出 HS 信号突发序列。
- 使用 DSO 捕捉 HS 突发序列。
- 测量  $V_{CMTX(1)}$  和  $V_{CMTX(0)}$ 。
- 再重复前面的步骤两次，一次是数据通道 0 连接到的  $ZID = 125 \Omega$  通道，另一次是数据通道 0 连接到  $ZID = 80 \Omega$ 。
- 对数据通道 1、2 和 3（如果 DUT 实现了多个数据通道）重复前面的步骤。

### 6.7.3 测量数据通道 HS-TX 静态共模电压 ( $V_{CMTX(1)}$ 、 $V_{CMTX(0)}$ )

**目的：**为了验证被测设备 (DUT) 数据通道的 HS-TX 静态共模电压 ( $V_{CMTX(1)}$  和  $V_{CMTX(0)}$ ) 是否在一致性限制范围内。对于所有  $ZID$  情况和所有数据通道  $V_{CMTX}$  在 Differential-1 和 Differential-0 状态下均在 150 到 250 mV 之间，才满足一致性要求。

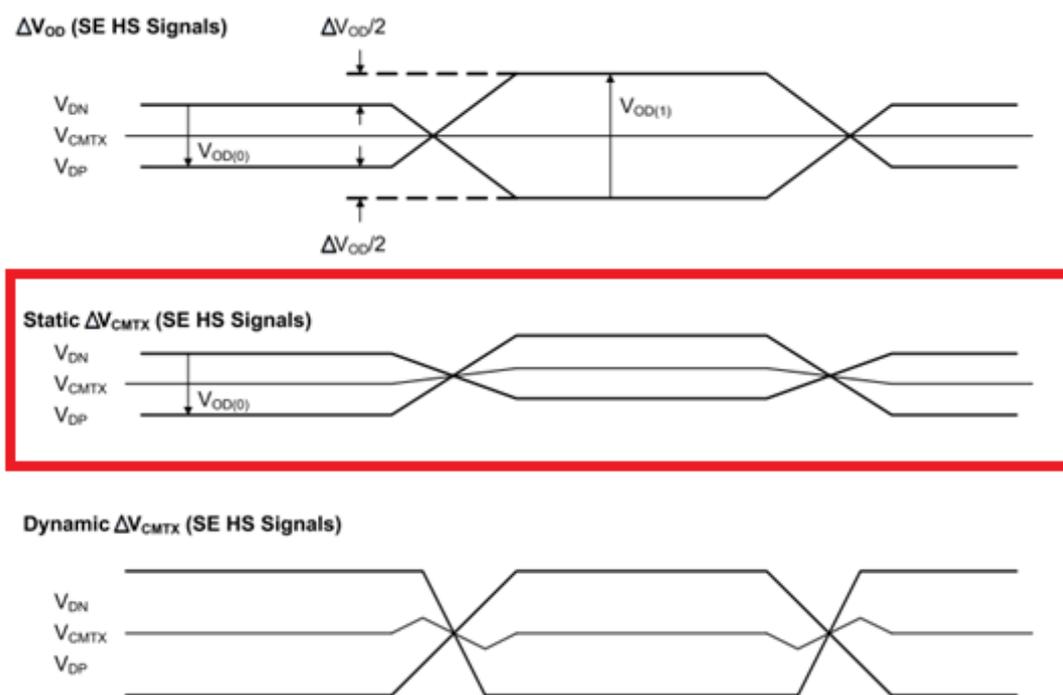
#### 参考指标：

[1] D-PHY Specification, Section 8.1.1, Line 1340

[2] D-PHY Specification, Section 8.1.1, Table 16

#### 测试介绍：

共模电压  $V_{CMTX}$  定义为：“ $D_p$  和  $D_n$  引脚电压的算术平均值： $V_{CMTX} = (V_{DP} + V_{DN}) / 2$ ”。由于可能发生各种类型的信号失真， $V_{CMTX}$  在驱动 Differential-1 与 Differential-0 状态时可能会有不同的值。正因为如此，必须分别对 0 和 1 状态下的  $V_{CMTX}$  进行测量，测量值对应于 UI（单位间隔）中心处的稳定电压（而不是在比特转换时发生的“动态”交流波动，后者由单独的规范覆盖）。规范中包含了一张图，图 6-12 展示了可能发生的各种不同类型的信号失真，并用红色高亮显示了静态共模失真类型。

图 6-12 静态  $V_{CMTX}$  失真

在这项测试中，将使用实时数字存储示波器 (DSO) 捕获被测设备 (DUT) 的高速 (HS) 数据通道信号的一部分。 $V_{DP}$  和  $V_{DN}$  单端波形将被平均在一起 (如上所述)，以创建  $V_{CMTX}$  共模波形。 $V_{CMTX}$  波形将在每个 UI (单位间隔) 的中心进行采样，对应于 HS 突发序列中的每个 Differential-1 和 Differential-0 状态。所有 Differential-1 UI 的平均共模电压将被计算为  $V_{CMTX(1)}$ ，而所有 Differential-0 UI 的平均共模电压将被计算为  $V_{CMTX(0)}$ 。为了被视为符合规范， $V_{CMTX(1)}$  和  $V_{CMTX(0)}$  的值都必须在 150 到 250 mV 之间。

Parameter	Description	Min	Nom	Max	Units
$V_{CMTX}$	HS transmit static common-mode voltage	150	200	250	mV
$ \Delta V_{CMTX(1,0)} $	$V_{CMTX}$ mismatch when output is Differential-1 or Differential-0			5	mV

图 6-13  $V_{CMTX}$  规格要求

#### 可观测结果：

适用于所有三种 ZID 情况和所有数据通道：

验证  $V_{CMTX}$  在 Differential-1 和 Differential-0 状态下均在 150 到 250 mV 之间。

注意：无。

## 6.8 Test-1.3.8 数据通道 HS-TX 静态共模电压失配 ( $\Delta V_{\text{CMTX}(1,0)}$ )

### 6.8.1 测试设置

使 DUT 在数据通道 0 上产生 HS 突发序列。

### 6.8.2 测试步骤

- 从 6.7 Test-1.3.7 获取数据通道 0  $V_{\text{CMTX}(1)}$  和  $V_{\text{CMTX}(0)}$  的数值结果。
- 针对每个 ZID 情况计算数据通道 0 的  $\Delta V_{\text{CMTX}(1,0)}$  结果。
- 对数据通道 1、2 和 3（如果 DUT 实现多个数据通道）重复上述步骤。

### 6.8.3 测量数据通道 HS-TX 静态共模电压失配 ( $\Delta V_{\text{CMTX}(1,0)}$ )

**目的：**验证 DUT 数据通道 HS 发送器的静态共模电压失配 ( $\Delta V_{\text{CMTX}(1,0)}$ ) 是否小于最大一致性限制。对于所有 ZID 情况和所有数据通道， $\Delta V_{\text{CMTX}(1,0)}$  小于 5 mV，才满足一致性要求。

#### 参考指标：

[1] D-PHY Specification, Section 8.1.1, Line 1340

[2] D-PHY Specification, Section 8.1.1, Table 16

#### 测试介绍：

规范指出，“Differential-1 和 Differential-0 状态之间的静态共模电压失配由以下给出： $\Delta V_{\text{CMTX}(1,0)} = (V_{\text{CMTX}(1)} - V_{\text{CMTX}(0)}) / 2$ ”。

在这项测试中，将使用 Test-1.3.7 中的数值结果来计算数据通道 HS-TX 静态共模电压失配，记为  $\Delta V_{\text{CMTX}(1,0)}$ 。该测量将为每个 ZID 情况和每个数据通道分别进行计算。对于所有情况， $\Delta V_{\text{CMTX}(1,0)}$  的值必须小于 5 mV 才能被视为符合一致性规范。

Parameter	Description	Min	Nom	Max	Units
$V_{\text{CMTX}}$	HS transmit static common-mode voltage	150	200	250	mV
$ \Delta V_{\text{CMTX}(1,0)} $	$V_{\text{CMTX}}$ mismatch when output is Differential-1 or Differential-0			5	mV

图 6-14  $\Delta V_{\text{CMTX}(1,0)}$  规格要求

**可观测结果：**

适用于所有三种 ZID 情况和所有数据通道：

验证  $\Delta V_{\text{CMTX}(1,0)}$  是否小于 5 mV。

**注意：无。**

## 6.9 Test-1.3.9 数据通道 HS-TX 在 50-450 MHz 范围内的动态共模电平变化 ( $\Delta V_{CMTX(LF)}$ )

### 6.9.1 测试设置

使 DUT 在数据通道 0 上产生 HS 突发序列。

### 6.9.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节）。
- 创建一个条件，使 DUT 在数据通道 0 上产生 HS 突发序列。
- 使用 DSO 捕捉 HS 突发序列。
- 使用上述后处理方法测量  $V_{CMTX(LF)}$ 。
- 对数据通道 1、2 和 3（如果 DUT 实现多个数据通道）重复前面的步骤。

### 6.9.3 测量数据通道 HS-TX 在 50-450 MHz 范围内的动态共模电平变化 ( $\Delta V_{CMTX(LF)}$ )

**目的：**验证被测设备 (DUT) 数据通道的 HS-TX 在 50 至 450 MHz 范围内的 AC 共模信号电平变化 ( $V_{CMTX(LF)}$ ) 低于最大允许限制。使用标称的 100  $\Omega$  ZID 值对所有数据通道进行测量,  $V_{CMTX(LF)}$  小于 25 mV<sub>PEAK</sub>, 才满足一致性要求。

#### 参考指标:

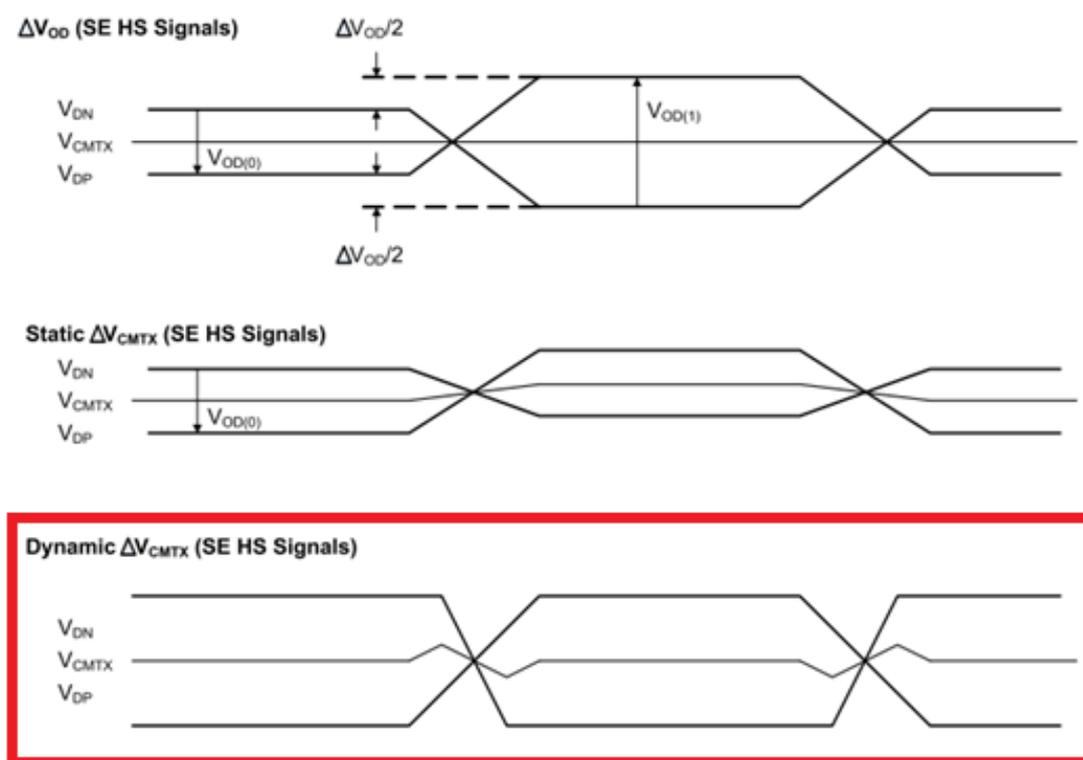
[1] D-PHY Specification, Section 8.1.1, Line 1357

[2] D-PHY Specification, Section 8.1.1, Table 17

#### 测试介绍:

规范定义了关于设备共模信号的若干要求。这些规范各自测量共模信号的不同类型的失真，这些失真可能是由非常具体和独特的波形不对称类型引起的。“动态” (AC) 变化通常是由单端高速 (HS) 信号的上升/下降时间不对称造成的。规范指出，“发射器应当发送数据，使得高频和低频共模电压变化不超过  $\Delta V_{CMTX(HF)}$  和  $\Delta V_{CMTX(LF)}$ 。”这里的  $\Delta V_{CMTX(HF)}$  和  $\Delta V_{CMTX(LF)}$  分别指的是高频和低频共模电压变化的最大允许值。

图 6-15 展示了可能发生的各种不同类型的信号失真。并用红色高亮显示了动态共模失真类型。

图 6-15 动态  $V_{CMTX}$  失真

在这项测试中, 将以与测量 HS-TX 静态共模电压相同的方式, 使用实时数字存储示波器 (DSO) 捕获  $V_{CMTX}$  共模信号。但是在这项测试中, 而不是测量平均的 1/0 直流电平, 将测量 AC 电压, 特别是针对 50 到 450 MHz 的频率范围。 $V_{CMTX(LF)}$  的值必须小于 25 mV 峰值 ( $mV_{PEAK}$ ), 为才被视为符合一致性规范。

Parameter	Description	Min	Nom	Max	Units
$\Delta V_{CMTX(HF)}$	Common-level variations above 450MHz			15	$mV_{RMS}$
$\Delta V_{CMTX(LF)}$	Common-level variation between 50-450MHz			25	$mV_{PEAK}$

图 6-16  $\Delta V_{CMTX(LF)}$  规格要求

为了隔离出感兴趣的频率带内的能量, 必须采用某种方法去除高于 450 MHz 和低于 50 MHz 的能量。虽然有多种可能的方法可以实现这一目的, 但这项测试选择的实现方法是通过使用后处理滤波器, 这些滤波器特别设计用于大幅衰减带外的能量。需要注意的是, 由于规范中并未定义特定的测试滤波器作为要求的一部分, 因此测量结果可能会高度依赖于所选的实现方法。尽管如此, 为了符合一致性测试的目的, 必须选择一个通用的滤波器。所选的实现方法使用了一个 8 阶巴特沃斯无限脉冲响应 (IIR) 带通滤波器作为测试滤波器, 其 -3 dB 截止频率为 50 MHz 和 450 MHz。测试滤波器的频率响应如下图

所示。在进行峰值电压测量之前，原始的  $V_{\text{CMTX}}$  波形会通过该滤波器。测量带通滤波后的  $V_{\text{CMTX}}$  波形的峰值电压，以得出最终的  $V_{\text{CMTX(LF)}}$  结果。

**可观测结果：**

对于  $Z_{\text{ID}} = 100 \Omega$ ，以及对于所有数据通道：

验证  $\Delta V_{\text{CMTX(LF)}}$  是否小于 25 mV 峰值 ( $\text{mV}_{\text{PEAK}}$ )。

**注意：**需要注意的是，与之前需要对所有三个  $Z_{\text{ID}}$  值执行的几项测试不同，这项要求并不需要根据规范对这三个  $Z_{\text{ID}}$  值进行测量。因此，使用标称的  $100 \Omega$   $Z_{\text{ID}}$  值，对所有数据通道进行测量即可。

## 6.10 Test-1.3.10 数据通道 HS-TX 在 450MHz 以上的动态共模电平变化 ( $\Delta V_{\text{CMTX(HF)}}$ )

### 6.10.1 测试设置

使 DUT 在数据通道 0 上产生 HS 突发序列。

### 6.10.2 测试步骤

- 将 DUT 连接到参考测试板。
- 使 DUT 在数据通道 0 上产生 HS 突发序列。
- 使用 DSO 捕捉 HS 突发序列。
- 测量  $\Delta V_{\text{CMTX(HF)}}$ 。
- 对数据通道 1、2 和 3 (如果 DUT 实现多个数据通道) 重复前面的步骤。

### 6.10.3 测量数据通道 HS-TX 在 450MHz 以上的动态共模电平变化 ( $\Delta V_{\text{CMTX(HF)}}$ )

**目的：**验证被测设备 (DUT) 数据通道的 HS-TX 在 450MHz 以上的 AC 共模信号电平变化 ( $V_{\text{CMTX(LF)}}$ ) 低于最大允许限制。使用标称 100  $\Omega$  ZID 值对所有数据通道进行测量,  $V_{\text{CMTX(HF)}}$  的值必须小于 15 mV<sub>RMS</sub> 才能被视为符合要求, 才满足一致性要求。

#### 参考指标:

[1] D-PHY Specification, Section 8.1.1, Line 1357

[2] D-PHY Specification, Section 8.1.1, Table 17

#### 测试介绍:

这项测试的过程基本上与之前的  $\Delta V_{\text{CMTX(LF)}}$  测试 (参见 6.9 Test-1.3.9 章节) 相同, 只是使用了高通滤波器而不是带通滤波器, 并且结果是作为  $V_{\text{RMS}}$  (均方根值) 而不是  $V_{\text{PEAK}}$  (峰值) 进行测量的。这项测试中使用的测试滤波器是一个 8 阶巴特沃斯高通滤波器, 其截止频率为 450 MHz (参见 6.9.3 中的图 6-15)。 $\Delta V_{\text{CMTX(HF)}}$  是通过对高通滤波后的  $V_{\text{CMTX}}$  波形进行均方根值测量来得到的。

Parameter	Description	Min	Nom	Max	Units
$\Delta V_{\text{CMTX(HF)}}$	Common-level variations above 450MHz			15	mV <sub>RMS</sub>
$\Delta V_{\text{CMTX(LF)}}$	Common-level variation between 50-450MHz			25	mV <sub>PEAK</sub>

图 6-17  $\Delta V_{\text{CMTX(HF)}}$ 规格要求**可观测结果：**

对于  $Z_{\text{ID}} = 100 \Omega$ ，以及对于所有数据通道：

验证  $\Delta V_{\text{CMTX(HF)}}$  是否小于 15 mV<sub>RMS</sub>。

**注意：**无。

## 6.11 Test-1.3.11 数据通道 HS-TX 20%-80% 上升时间 ( $t_R$ )

### 6.11.1 测试设置

使 DUT 在数据通道 0 上产生 HS 突发序列。

### 6.11.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节），使数据通道 0 连接到  $ZID = 100 \Omega$  的通道。
- 使 DUT 在数据通道 0 上发出 HS 信号突发序列。
- 使用 DSO 捕捉 HS 突发序列。使用后处理方法，如上所述测量  $t_R$ 。
- 再重复前面的步骤两次，一次是数据通道 0 连接到  $ZID = 125 \Omega$ （可选项），一次是数据通道 0 连接到  $ZID = 80 \Omega$ 。
- 对数据通道 1、2 和 3（如果 DUT 实现了多个数据通道）重复前面的步骤。

### 6.11.3 数据通道 HS-TX 20%-80% 上升时间 ( $t_R$ )

**目的：**验证 DUT 数据通道 HS-TX 的 20%-80% 上升时间 ( $t_R$ ) 是否在一致性限制内。对于所有 ZID 情况和所有数据通道， $t_R$  必须大于 150 ps 且小于 0.3 UI，才满足一致性要求。（1.0 版本要求测试所有情况，但后续版本 125  $\Omega$  情况不强制要求测试，测 80 和 100  $\Omega$  就行）

#### 参考指标：

[1] D-PHY Specification, Section 8.1.1, Line 1376

[2] D-PHY Specification, Section 8.1.1, Table 17

#### 测试介绍：

D-PHY 规范指出：上升时间和下降时间， $t_R$  和  $t_F$ ，定义为从 HS 信号摆幅的 20% 到 80% 的过渡时间。驱动器应当满足所有允许的 ZID 下的  $t_R$  和  $t_F$  规格。

在这项测试中，将使用实时数字存储示波器 (DSO) 捕获被测设备 (DUT) 的高速 (HS) 数据通道信号。差分波形  $V_{OD}$  将被计算为正极性和负极性单端波形 ( $V_{DP}$  和  $V_{DN}$ ) 之间的差值 ( $V_{DP} - V_{DN}$ )。将相对于先前确定的平均  $V_{OD(0)}$  和  $V_{OD(1)}$  幅度值测量所有 HS 转换的平均 20%-80% 上升时间 ( $t_R$ )，以产生最终的  $t_R$  结果。

Parameter	Description	Min	Nom	Max	Units
$\Delta V_{\text{CMTX(HF)}}$	Common-level variations above 450MHz			15	mV <sub>RMS</sub>
$\Delta V_{\text{CMTX(LF)}}$	Common-level variation between 50-450MHz			25	mV <sub>PEAK</sub>
$t_R$ and $t_F$	20%-80% rise time and fall time			0.3	UI
		150			ps

图 6-18  $t_R$  规格要求

对于能够以最大速率  $\leq 1\text{Gbps}$  运行的设备,  $t_R$  值应大于 150ps, 并且必须小于 0.3 UI (其中 UI 是 DUT 的标称 HS 单元间隔, 请参阅 7.17), 以便被认为是符合一致性要求的。对于能够以最大速率  $> 1\text{Gbps}$  且  $\leq 1.5\text{Gbps}$  运行的设备 (无论测试的速率如何, 即使该速率  $\leq 1\text{Gbps}$ ),  $t_R$  的值应大于 100ps, 并且必须小于 0.35 UI 以便被认为是符合的。(不是 1.0 版本的要求)

#### 可观测结果:

对于 80 和 100  $\Omega$  ZID 情况以及所有数据通道:

- (对于  $\text{DUT} \leq 1\text{Gbps}$ ): 验证  $t_R$  值应大于 150ps  $t_R$  是否小于 0.30 UI。
- (对于  $\text{DUT} > 1\text{Gbps}$  且  $\leq 1.5\text{Gbps}$ ): 验证  $t_R$  是否小于 0.35 UI。

**注意:** 频率  $f_h$  是数据传输的最高基频, UI 等于  $1/(2 \cdot f_h)$ 。

## 6.12 Test-1.3.12 数据通道 HS-TX 80%-20% 下降时间 ( $t_F$ )

### 6.12.1 测试设置

使 DUT 在数据通道 0 上产生 HS 突发序列。

### 6.12.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节），使时钟通道连接到  $ZID = 100 \Omega$  通道。
- 使 DUT 在时钟通道上发出 HS 时钟信号（突发或连续）。
- 使用 DSO 捕捉时钟信号。
- 测量  $t_F$ 。
- 重复前面的步骤两次，一次是时钟通道连接到  $ZID = 80 \Omega$  通道，另一次是时钟通道连接到  $ZID = 125 \Omega$ （可选）。

### 6.12.3 测量数据通道 HS-TX 80%-20% 下降时间 ( $t_F$ )

**目的：**验证 DUT 数据通道 HS 发送器的 80%-20% 下降时间 ( $t_F$ ) 是否在一致性限制内。对于所有 ZID 情况和所有数据通道， $t_R$  必须大于 150 ps 且小于 0.3 UI，才满足一致性要求。（1.0 版本要求测试所有情况，但后续版本 125  $\Omega$  情况不强制要求测试，测 80 和 100  $\Omega$  就行）

#### 参考指标：

[1] D-PHY Specification, Section 8.1.1, Line 1376

[2] D-PHY Specification, Section 8.1.1, Table 17

#### 测试介绍：

这项测试与  $t_R$  测试相同（参见测试 6.11 Test-1.3.11）。

Parameter	Description	Min	Nom	Max	Units
$\Delta V_{CMTX(HF)}$	Common-level variations above 450MHz			15	mV <sub>RMS</sub>
$\Delta V_{CMTX(LF)}$	Common-level variation between 50-450MHz			25	mV <sub>PEAK</sub>
$t_R$ and $t_F$	20%-80% rise time and fall time			0.3	UI
		150			ps

图 6-19  $t_F$  规格要求

对于能够以最大速率  $\leq 1\text{Gbps}$  运行的设备,  $t_F$  值应大于 150ps, 并且必须小于 0.3 UI (其中 UI 是 DUT 的标称 HS 单元间隔, 请参阅测试 7.17 Test-1.4.7), 以便被认为是符合一致性要求的。对于能够以最大速率  $> 1\text{Gbps}$  且  $\leq 1.5\text{Gbps}$  运行的设备(无论测试的速率如何, 即使该速率  $\leq 1\text{Gbps}$ ),  $t_R$  的值应大于 100ps, 并且必须小于 0.35 UI 以便被认为是符合的。(不是 1.0 版本的要求)

#### 可观测结果:

对于 80 和 100  $\Omega$  ZID 情况以及所有数据通道:

- (对于  $DUT \leq 1\text{Gbps}$ ): 验证  $t_F$  值应大于 150ps  $t_F$  是否小于 0.30 UI 。
- (对于  $DUT > 1\text{Gbps}$  且  $\leq 1.5\text{Gbps}$ ): 验证  $t_F$  是否小于 0.35 UI 。

**注意:** 频率  $f_h$  是数据传输的最高基频, UI 等于  $1/(2*f_h)$ 。

## 6.13 Test-1.3.13 数据通道 HS Exit: 高速模式退出值

### 6.13.1 测试设置

使 DUT 在数据通道 0 上产生 HS 突发序列。

### 6.13.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节），使时钟通道连接到 ZID = 100 Ω 通道。
- 使 DUT 在时钟通道上产生 HS 退出序列。
- 使用 DSO 捕捉 HS 退出序列。
- 测量  $T_{\text{CLK-TRAIL}}$ 。
- 测量  $T_{\text{CLK-TRAIL}}$  期间的 HS 状态 (HS-0 或 HS-1)。

### 6.13.3 测量 4.15 数据通道 HS Exit: 高速模式退出时间值

**目的:** 为了验证被测设备 (DUT) 数据通道 TX 在高速 (HS) 突发序列最后一个有效载荷数据位之后驱动反转的最终差分状态的时间 ( $T_{\text{HS-TRAIL}}$ ) 是否大于所需的最小值。对于 ZID=100Ω, 验证每个数据通道的  $T_{\text{HS-TRAIL}}$  均大于 ( $n \cdot 8 \cdot \text{UI}$ ) 和 ( $60 \text{ ns} + n \cdot 4 \cdot \text{UI}$ ) 的最大值, 才满足一致性要求。

#### 参考指标:

[1] D-PHY Specification, Section 5.14.2, Line 1044

[2] D-PHY Specification, Section 5.9, Table 14

#### 测试介绍:

作为完成高速 (HS) 数据传输突发的一部分, D-PHY 规范提供了一个要求, 即被测设备 (DUT) 在高速突发传输的最后一个有效载荷数据位之后必须驱动驱动翻转差分状态的时间长度。这个时间间隔被定义为  $T_{\text{HS-TRAIL}}$ 。

$T_{\text{HS-TRAIL}}$  是指发送器在发送 HS 传输脉冲串的最后一个有效载荷数据位后, 必须驱动翻转的最后一个数据位的时间。接收器需要这段时间来确定 HS 传输的结束点 (EoT), 以确保正确地检测 HS 传输的结束, 并能够正确地同步和解码数据。

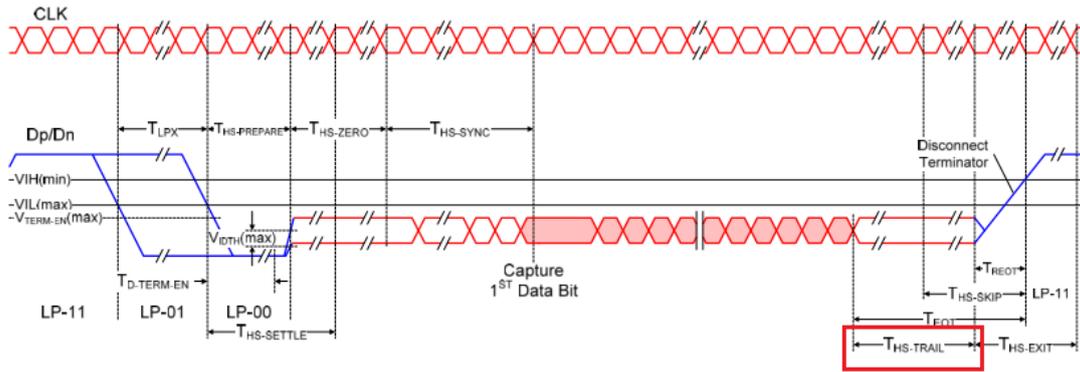


图 6-20  $T_{HS-TRAIL}$  间隔

在传输 HS 数据传输突发的最终有效载荷数据位后，最终扩展 HS 差分状态应保持至少  $(n \cdot 8 \cdot UI)$  或  $(60 \text{ ns} + n \cdot 4 \cdot UI)$  (取两者中的较大值) (其中  $n=1$  表示正向 HS 模式,  $n=4$  表示反向 HS 模式)。此外，对于  $n=1$ ，只有当  $UI$  大于  $15 \text{ ns}$  时， $(8 \cdot UI)$  才能大于  $(60 \text{ ns} + 4 \cdot UI)$ 。这相当于 HS 比特率为  $(1/15 \text{ ns}) = 66.667 \text{ Mbps}$  或更低。然而，由于 D-PHY 允许的最低 HS 比特率被定义为  $80 \text{ Mbps}$ ，因此这种情况永远不会发生。因此，对于正向， $T_{HS-TRAIL}$  的一致性下限始终为  $(60 \text{ ns} + 4 \cdot UI)$ 。

在这项测试中，将使用实时数字存储示波器捕获被测设备 (DUT) 发射器的一个高速 (HS) 数据通道信号突发。差分波形  $V_{OD}$  将被计算为正极性和负极性单端波形 ( $V_{DP}$  和  $V_{DN}$ ) 之间的差值 ( $V_{DP} - V_{DN}$ )。  $T_{HS-TRAIL}$  时间间隔将在最终扩展的 HS 差分状态时测量，即  $V_{OD}$  进入和退出最小有效的 HS-RX 差分范围的点 (即，当  $V_{OD}$  跨过  $+70$  或  $-70 \text{ mV}$  时)。为了符合一致性规范，测量得到的  $T_{HS-TRAIL}$  结果应该大于  $\max((n \cdot 8 \cdot UI), (60 \text{ ns} + n \cdot 4 \cdot UI))$ 。

Parameter	Description	Min	Typ	Max	Unit
$T_{HS-PREPARE}$	Time that the transmitter drives the Data Lane LP-00 Line state immediately before the HS-0 Line state starting the HS transmission	$40 \text{ ns} + 4 \cdot UI$		$85 \text{ ns} + 6 \cdot UI$	ns
$T_{HS-PREPARE} + T_{HS-ZERO}$	$T_{HS-PREPARE}$ + time that the transmitter drives the HS-0 state prior to transmitting the Sync sequence.	$145 \text{ ns} + 10 \cdot UI$			ns
$T_{HS-SETTLE}$	Time interval during which the HS receiver shall ignore any Data Lane HS transitions, starting from the beginning of $T_{HS-PREPARE}$ .	$85 \text{ ns} + 6 \cdot UI$		$145 \text{ ns} + 10 \cdot UI$	ns
$T_{HS-SKIP}$	Time interval during which the HS-RX should ignore any transitions on the Data Lane, following a HS burst. The end point of the interval is defined as the beginning of the LP-11 state following the HS burst.	40		$55 \text{ ns} + 4 \cdot UI$	ns
$T_{HS-TRAIL}$	Time that the transmitter drives the flipped differential state after last payload data bit of a HS transmission burst	$\max(n \cdot 8 \cdot UI, 60 \text{ ns} + n \cdot 4 \cdot UI)$			ns
$T_{INIT}$	See section 5.11.	100			$\mu\text{s}$

图 6-21  $T_{HS-TRAIL}$  规格要求

**可观测结果：**

对于  $ZID = 100 \Omega$ ，以及对于所有数据通道：

- 验证  $T_{HS-TRAIL}$  是否大于  $(60 \text{ ns} + 4 \cdot UI)$ 。
- 验证  $T_{HS-TRAIL}$  状态是从 HS 突发数据的最后一字节的最后一位翻转过来的。

**注意：无。**

## 6.14 Test-1.3.14 数据通道 LP TX:30%-85% 信号传输后上升时间 ( $T_{REOT}$ )

### 6.14.1 测试设置

使 DUT 在数据通道 0 上产生 HS 突发序列。

### 6.14.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节），使时钟通道连接到  $ZID = 100\ \Omega$  通道。
- 使 DUT 在时钟通道上产生 HS 退出序列。
- 使用 DSO 捕捉 HS 退出序列。
- 测量  $T_{REOT}$ 。

### 6.14.3 测量数据通道 LP TX: 30%-85% 信号传输后上升时间 ( $T_{REOT}$ )

**目的：**验证 DUT 的 LP 数据通道发射器的 30%-85% EoT 后上升时间 ( $T_{REOT}$ ) 是否在一致性限制内。对于  $ZID=100\ \Omega$ ，验证每个数据通道的  $T_{REOT}$  小于 35ns，才满足一致性要求。

#### 参考指标：

- [1] D-PHY Specification, Section 8.1.2 Line 1431
- [2] D-PHY Specification, Section 8.1.1, Table 19

#### 测试介绍：

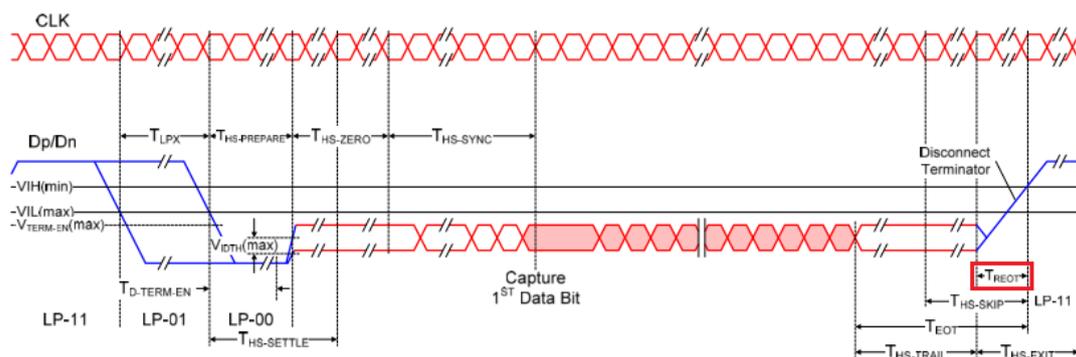


图 6-22  $T_{REOT}$  上升时间

Parameter	Description	Min	Nom	Max	Units
$T_{RLP}/T_{FLP}$	15%-85% rise time and fall time			25	ns
$T_{REOT}$	30%-85% rise time and fall time			35	ns

图 6-23  $T_{REOT}$  规范要求

在本测试中，将使用实时数字存储示波器捕获来自 DUT 发射机的 HS-TX 数据通道的突发信号。测量将仅使用  $ZID = 100 \Omega$  终端情况。差分波形将按正负单端波形的差值 ( $V_{DP}-V_{DN}$ ) 计算。 $T_{REOT}$  上升时间将从差分波形最后跨越  $\pm 70mV$  开始测量，到  $V_{DP}$  跨越  $V_{IH,MIN} = 880mV$ （对于支持最大 HS 速率  $\leq 1.5Gbps$  的 DUT）时结束。

#### 可观测结果：

对于  $ZID = 100 \Omega$  和所有数据通道：

验证  $T_{REOT}$  小于 35ns。

**注意：** 请注意，规范并未区分应使用  $V_{DP}$  还是  $V_{DN}$ ，因为从规范的角度来看，它们是完全相同的。不过，对于实际设备来说，上升时间应该几乎相同，因此可以使用其中之一。

## 6.15 Test-1.3.15 数据通道 HS Exit: 退出结束时间值

### 6.15.1 测试设置

使 DUT 在数据通道 0 上产生 HS 突发序列。

### 6.15.2 测试步骤

在前面的 6.13 Test-1.3.13 和 6.14 Test-1.3.14 中获得数据通道 0 的  $T_{\text{CLK-TRAIL}}$  和  $T_{\text{REOT}}$  的数值将两个数值相加，得出  $T_{\text{EOT}}$ 。

### 6.15.3 测量数据通道 HS Exit: 退出时间结束值

**目的:** 验证 DUT 数据通道发射器的  $T_{\text{HS-TRAIL}}$  加  $T_{\text{REOT}}$  间隔 (又称  $T_{\text{EOT}}$ ) 的总持续时间小于最大允许值。对于  $Z_{\text{ID}}=100\Omega$ , 验证每个数据通道的  $T_{\text{EOT}}$  小于  $(105\text{ ns} + 12*UI)$ , 才满足一致性要求。

#### 参考指标:

- [1] D-PHY Specification, Section 8.1.2, Line 1431
- [2] D-PHY Specification, Section 8.1.1, Table 19

#### 测试介绍:

除了分别为  $T_{\text{HS-TRAIL}}$  和  $T_{\text{REOT}}$  间隔定义的规范和要求外, 规范还定义了一个额外的相关参数, 它实际上是这两个值的总和。这个区间被定义为  $T_{\text{EOT}}$ , 如下图所示。

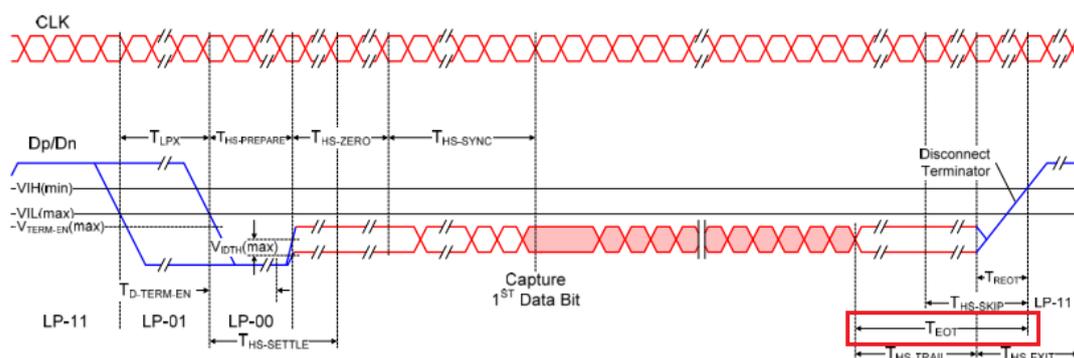


图 6-24  $T_{\text{EOT}}$  时间间隔

如上所述,  $T_{\text{EOT}}$  的测量时间是从  $T_{\text{HS-TRAIL}}$  开始, 到  $T_{\text{REOT}}$  之后 LP-11 状态的开始。请注意, 由于 LP-11 状态的开始也是  $T_{\text{REOT}}$  结束的同一时间点, 因此  $T_{\text{EOT}}$  间隔也可视为  $T_{\text{HS-TRAIL}}$  和  $T_{\text{REOT}}$  间隔的总和。虽然对  $T_{\text{HS-TRAIL}}$  的要求只规定了下限, 而对  $T_{\text{REOT}}$  的要求只提供了上限, 但  $T_{\text{EOT}}$  的目的

是为这两个时间间隔的组合提供上限。

Parameter	Description	Min	Typ	Max	Unit
$T_{EOT}$	Transmitted time interval from the start of $T_{HS-TRAIL}$ or $T_{CLK-TRAIL}$ , to the start of the LP-11 state following a HS burst.			$105\text{ ns} + n \cdot 12 \cdot UI$	

图 6-25  $T_{EOT}$  规范要求

在这项测试中, 将把以前测量的  $T_{HS-TRAIL}$  和  $T_{REOT}$  值(见 6.13 Test-1.3.13 和 6.14 Test-1.3.14) 加在一起, 以创建  $T_{EOT}$ 。测得的  $T_{EOT}$  结果必须小于  $(105\text{ ns} + n \cdot 12 \cdot UI)$ , 才算符合标准(其中, 正向 HS 模式的  $n = 1$ , 反向 HS 模式的  $n = 4$ , UI 是 DUT 的标称 HS 单位间隔, 见测试 7.17 Test-1.4.17)。(请注意, 在本测试中,  $n$  始终等于 1, 因为当前定义的 MIPI 设备类型或协议均不使用 D-PHY 的反向 HS 功能)。

**可观测结果:**

对于  $ZID = 100\ \Omega$  和所有数据通道:

验证  $T_{EOT}$  小于  $(105\text{ ns} + 12 \cdot UI)$ 。

**注意:** 无。

## 6.16 Test-1.3.16 数据通道 HS Exit: 高速退出时间值

### 6.16.1 测试设置

使 DUT 在数据通道 0 上产生 HS 突发序列。

### 6.16.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节）。
- 使 DUT 在数据通道 0 上产生重复的 HS 突发序列。
- 使用 DSO 捕捉 HS 突发序列。
- 使用后处理方法，如上所述测量  $T_{HS-EXIT}$ 。
- 对数据通道 1、2 和 3（如果 DUT 实现了多个数据通道）重复前面的步骤。

### 6.16.3 测量数据通道 HS Exit: 高速退出时间值

**目的:** 验证数据通道发送器在退出 HS 模式 ( $T_{HS-EXIT}$ ) 后保持 LP-11 (停止) 状态的持续时间是否大于所需的最小值。对于  $ZID=100\ \Omega$ ，验证每个数据通道的  $T_{HS-EXIT}$  大于 100ns，才满足一致性要求。

#### 参考指标:

[1] D-PHY Specification, Section 8.1.1, Table 14

#### 测试介绍:

作为将任何 D-PHY 线路（时钟或数据）从 HS 模式切换出来的流程的一部分，D-PHY 规范规定了在启动任何进一步序列之前，该线路必须保持 LP-11 停止状态的最短时间。该时间间隔定义为  $T_{HS-EXIT}$ ，如下图所示。（请注意，下图示例为数据通道示例，时钟通道示例见 7.6 Test-1.4.6 中的图 7-11。时钟通道和数据通道的  $T_{HS-EXIT}$  规范和一致性限制完全相同，但在本测试套件中作为单独的测试进行）。

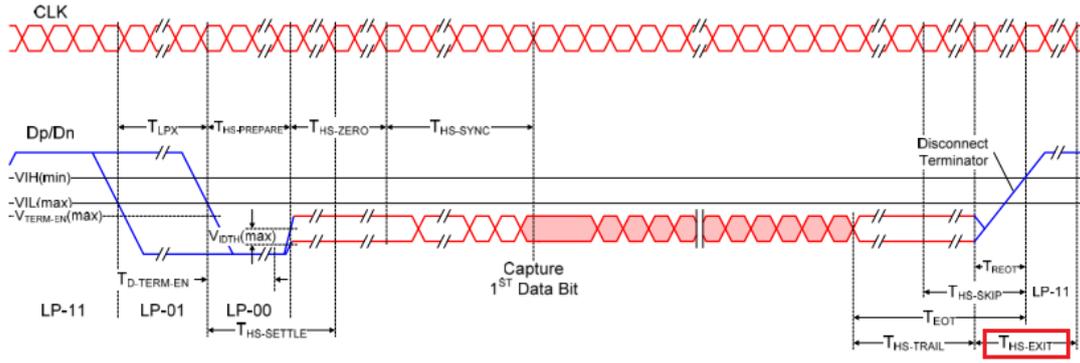


图 6-26  $T_{EOT}$  间隔

在此测试中，将观察数据通道的  $T_{HS-EXIT}$  间隔，测量时间从  $T_{HS-TRAIL}$  间隔结束时（差分波形低于最小有效 HS-RX 差分阈值  $\pm 70mV$  时）开始，到下一个连续 HS 突发期间  $V_{DP}$  LP-01 下降沿穿过  $V_{IL,MAX}$  (550mV) 时为止。(或者，如果一个脉冲串之后是另一个 HS 脉冲串之外的序列，则应将该序列的第一个 LP 下降沿 (Dp 或 Dn) 的 550mV 交叉时间作为  $T_{HS-EXIT}$  结束点)。测量将仅使用  $ZID = 100 \Omega$  终端情况，并将对所有数据通道进行测量。

Parameter	Description	Min	Typ	Max	Unit	Notes
$T_{HS-EXIT}$	Time that the transmitter drives LP-11 following a HS burst.	100			ns	5

图 6-27  $T_{EOT}$  规范要求

**可观测结果：**

对于  $ZID = 100 \Omega$  和所有数据通道：

验证所有观测到的脉冲串的  $T_{HS-EXIT}$  均不小于 100ns。

**注意：无。**

## 7 时钟通道 HS-TX 信号要求 (Group 4)

### 7.1 Test-1.4.1 时钟通道 HS Entry:低功耗发送至高速模式转换值

#### 7.1.1 测试设置

使 DUT 在时钟通道上产生 HS 输入序列。

#### 7.1.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节）。时钟通道， $ZID = 100 \Omega$ 。
- 使 DUT 在时钟通道上产生 HS 输入序列。
- 使用 DSO 捕捉 HS 输入序列。
- 计算  $V_{DP}$ 、 $V_{DN}$  分别与  $V_{IL,MAX(550mV)}$  交叉时间。
- 测量两个交叉时间之差就是 TLPX 值。

#### 7.1.3 测量时钟通道 HS Entry:低功耗发送至高速模式转换值

目的：验证紧接 HS 传输前的最终时钟通道 LP-01 状态的持续时间 ( $T_{LPX}$ ) 是否大于最小符合值。即最后一个 LP-01 状态的持续时间至少为 50 ns，才符合一致性要求。

#### 参考指标：

[1] D-PHY Specification, Section 5.2, Line 751

[2] D-PHY Specification, Section 5.9, Table 14

#### 测试介绍：

请注意，该测试与测试 4.3 章节的数据通道  $T_{LPX}$  测试在规格要求和参考方面完全相同，只是在时钟通道  $T_{LPX}$  间隔上执行，如下图所示。

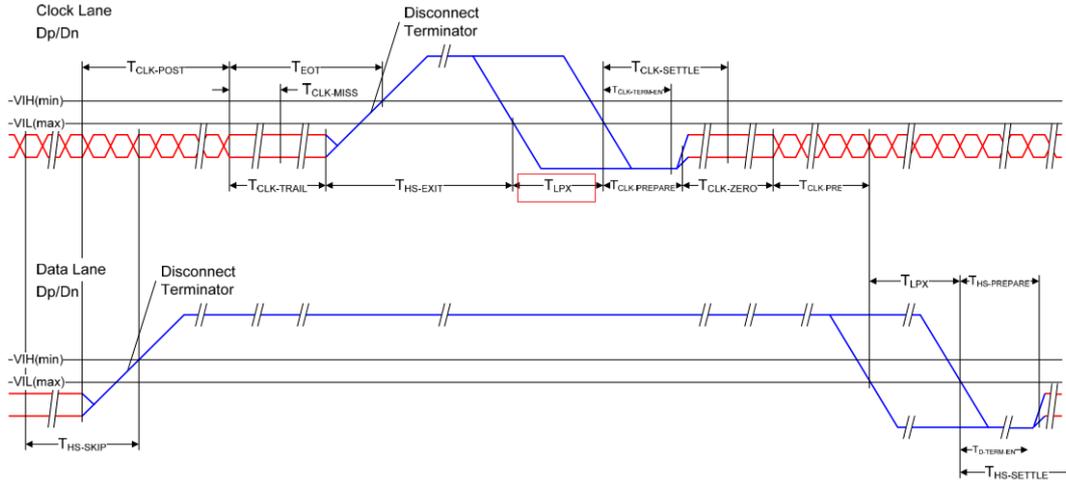


图 7-1 时钟通道 T<sub>LPX</sub> 间隔

Parameter	Description	Min	Typ	Max	Unit
T <sub>HS-PREPARE</sub>	Time that the transmitter drives the Data Lane LP-00 Line state immediately before the HS-0 Line state starting the HS transmission	40 ns + 4*UI		85 ns + 6*UI	ns
T <sub>HS-PREPARE</sub> + T <sub>HS-ZERO</sub>	T <sub>HS-PREPARE</sub> + time that the transmitter drives the HS-0 state prior to transmitting the Sync sequence.	145 ns + 10*UI			ns
T <sub>HS-SETTLE</sub>	Time interval during which the HS receiver shall ignore any Data Lane HS transitions, starting from the beginning of T <sub>HS-PREPARE</sub> .	85 ns + 6*UI		145 ns + 10*UI	ns
T <sub>HS-SKIP</sub>	Time interval during which the HS-RX should ignore any transitions on the Data Lane, following a HS burst. The end point of the interval is defined as the beginning of the LP-11 state following the HS burst.	40		55 ns + 4*UI	ns
T <sub>HS-TRAIL</sub>	Time that the transmitter drives the flipped differential state after last payload data bit of a HS transmission burst	max( n*8*UI, 60 ns + n*4*UI )			ns
T <sub>INIT</sub>	See section 5.11.	100			µs
T <sub>LPX</sub>	Transmitted length of any Low-Power state period	50			ns

图 7-2 T<sub>LPX</sub> 规范要求

**可观测结果：**

确认 T<sub>LPX</sub> 至少为 50ns。

**注意：**本测试通常在 DUT 配置为时钟通道上的非连续时钟行为（即突发模式时钟）时进行。请注意，对于某些 DUT 类型，非连续时钟行为是可选的，但这些设备和其他 DUT 通常都支持非连续时钟行为，而且非连续时钟行为被认为是本测试套件的首选模式，因为它允许从单组时钟和数据通道突发模式波形数据中获得几乎所有 HS 时钟和数据通道测试。

如果 DUT 仅支持连续时钟行为，则必须在从 LP-00 状态手动启用和禁用连续时钟操作（实施连续时钟行为的设备必须支持）时发生的 HS 进入和 HS 退出序列上执行本测试和本组中的其他进入/退出计时器测试。

## 7.2 Test-1.4.2 时钟通道 HS Entry:时钟高速模式准备时间值

### 7.2.1 测试设置

使 DUT 在时钟通道上产生 HS 输入序列。

### 7.2.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节）。时钟通道， $ZID = 100 \Omega$ 。
- 使 DUT 产生时钟通道 HS 输入序列。
- 使用 DSO 捕捉 HS 输入序列。
- 测量  $T_{CLK-PREPARE}$ 。

### 7.2.3 测量时钟通道 HS Entry:时钟高速模式准备时间值

**目的:**验证进入 HS 模式时,在驱动  $T_{CLK-ZERO}$  之前,DUT 时钟线发送器驱动 LP-00 ( $T_{CLK-PREPARE}$ ) 的时间是否在一致性限制之内。即  $T_{CLK-PREPARE}$  的值必须介于 38 和 95 ns 之间,才能被视为符合一致性要求。

#### 参考指标:

[1] D-PHY Specification, Section 5.14.2, Line 1040

[2] D-PHY Specification, Section 5.9, Table 14

#### 测试介绍:

作为将时钟通道切换到 HS 模式过程的一部分, D-PHY 规范规定了主设备在启用 HS 传输(在  $T_{CLK-ZERO}$  间隔开始时发生)之前必须传输最终时钟通道 LP-00 状态的持续时间。该时间间隔定义为  $T_{CLK-PREPARE}$ , 如下图所示。

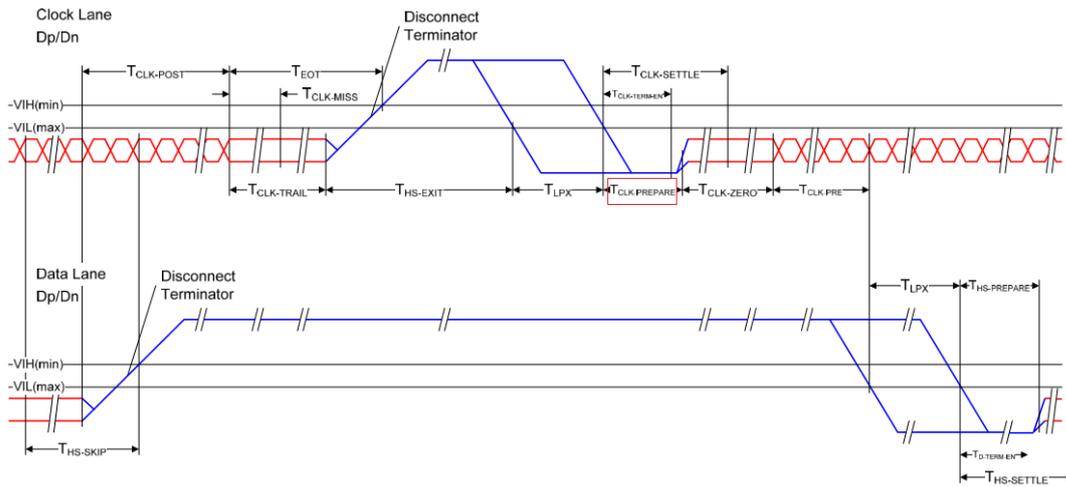


图 7-3 时钟通道  $T_{CLK-PREPARE}$  间隔

在这项测试中，将配置被测设备 (DUT) 以生成一个时钟通道的高速 (HS) 进入序列，该序列将使用实时数字存储示波器进行捕获。 $T_{HS-PREPARE}$  间隔将从时钟通道  $V_{DN}$  信号穿过低于  $V_{IL,MAX}$  (550 mV) 的点开始测量，直到  $T_{CLK-ZERO}$  HS 差分状态的开始，该状态从差分波形穿过最小有效的 HS-RX 差分阈值水平 (+/-70 mV) 的点开始。

Parameter	Description	Min	Typ	Max	Unit
$T_{CLK-MISS}$	Timeout for receiver to detect absence of Clock transitions and disable the Clock Lane HS-RX.			60	ns
$T_{CLK-POST}$	Time that the transmitter continues to send HS clock after the last associated Data Lane has transitioned to LP Mode. Interval is defined as the period from the end of $T_{HS-TRAIL}$ to the beginning of $T_{CLK-TRAIL}$ .	$60\text{ ns} + 52 * UI$			ns
$T_{CLK-PRE}$	Time that the HS clock shall be driven by the transmitter prior to any associated Data Lane beginning the transition from LP to HS mode.	8			UI
$T_{CLK-PREPARE}$	Time that the transmitter drives the Clock Lane LP-00 Line state immediately before the HS-0 Line state starting the HS transmission.	38		95	ns

图 7-4  $T_{CLK-PREPARE}$  规格要求

**可观测结果：**

确认  $T_{CLK-PREPARE}$  在 38 至 95 ns 之间。

**注意：**该测试的方法与 6.2 Test-1.3.2 中的数据通道  $T_{HS-PREPARE}$  测试基本相同，只是测量在时钟通道上进行，并采用了不同的一致性限制。

## 7.3 Test-1.4.3 时钟通道 HS Entry:时钟高速模式准备时间值与时钟高速零状态时间值之和

### 7.3.1 测试设置

使 DUT 在时钟通道上产生 HS 输入序列。

### 7.3.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节）。时钟通道， $ZID = 100 \Omega$ 。
- 使 DUT 产生时钟通道 HS 输入序列。
- 使用 DSO 捕捉 HS 输入序列。
- 测量 ( $T_{CLK-PREPARE} + T_{CLK-ZERO}$ )。

### 7.3.3 测量时钟通道 HS Entry:时钟高速模式准备时间值与时钟高速零状态时间值之和

**目的：**验证  $T_{CLK-PREPARE}$  时间加上 DUT 时钟通道发送器在开始时钟传输之前驱动扩展 HS-0 差分状态的时间 ( $T_{CLK-ZERO}$ ) 的总和是否大于所需的最短持续时间。 $(T_{CLK-PREPARE} + T_{CLK-ZERO})$  的测量持续时间必须大于 300ns，才符合一致性标准。

#### 参考指标：

[1] D-PHY Specification, Section 5.14.2, Line 1041

[2] D-PHY Specification, Section 5.9, Table 14

#### 测试介绍：

作为将数据通道切换到高速 (HS) 模式过程的一部分，D-PHY 规范提供了一个关于设备在开始高速差分数据传输之前必须驱动扩展的 HS-0 差分状态的最小持续时间的规范。这个区间被定义为  $T_{HS-ZERO}$ ，并在图 7-5 展示。



## 7.4 Test-1.4.4 时钟通道 HS-TX 差分电压 ( $V_{OD(0)}$ 、 $V_{OD(1)}$ )

### 7.4.1 测试设置

使 DUT 在时钟通道上发出 HS 时钟信号 (突发或连续)。

### 7.4.2 测试步骤

- 将 DUT 连接到测试装置 (具体连接方式, 请参考 2.2 章节), 使时钟通道连接到  $ZID = 100 \Omega$  的通道。
- 使 DUT 在时钟通道上发出 HS 时钟信号 (突发或连续)。
- 使用 DSO 捕捉时钟信号。
- 测量上述  $V_{OD(1)}$  和  $V_{OD(0)}$ 。
- 重复前面的步骤两次, 一次是时钟通道连接到  $ZID = 125 \Omega$  通道, 另一次是时钟通道连接到  $ZID = 80 \Omega$  的通道。

### 7.4.3 测量时钟通道 HS-TX 差分电压 ( $V_{OD(0)}$ 、 $V_{OD(1)}$ ) 值

**目的:** 为了验证被测设备 (DUT) 数据通道的 HS-TX 的差分电压 ( $V_{OD(0)}$  和  $V_{OD(1)}$ ) 是否在一致性限制范围内。对于所有三种 ZID (阻抗识别) 情况:  $V_{OD(1)}$  在 140 到 270 mV 之间,  $V_{OD(0)}$  在 -140 到 -270 mV 之间, 才满足一致性要求。

#### 参考指标:

[1] D-PHY Specification, Section 8.1.1, Line 1323

[2] D-PHY Specification, Section 8.1.1, Figure 38

[3] D-PHY Specification, Section 8.1.1, Table 16

#### 测试介绍:

D-PHY 规范指出: “差分输出电压  $V_{OD}$  定义为  $D_p$  和  $D_n$  引脚上的电压  $V_{DP}$  和  $V_{DN}$  之间的差值。  $V_{OD} = V_{DP} - V_{DN}$ ”。需要注意的是, 这一定义可能有些模糊, 因为它虽然定义了如何计算差分信号, 但并没有明确规定如何为一致性测试目的测量差分电压。鉴于存在多种可能的方式来实现差分电压的测量 (例如峰峰值、模式到模式、在整个 UI 内平均、在 UI 的 40%-60% 内平均等),  $V_{OD}$  和  $V_{CMTX}$  在图 7-7 中以图形形式展示了理想的高速 (HS) 信号。

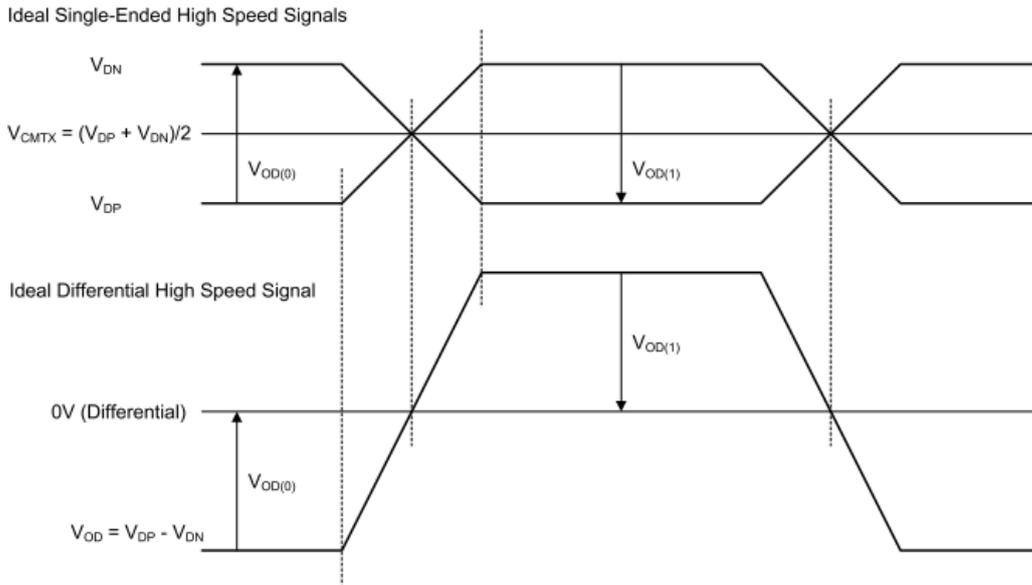


图 7-7 理想的单端和由此产生的差分高速 (HS) 信号

在此测试中，将使用实时数字存储示波器采集被测件时钟通道 HS 信号的样本。差分波形将按正负单端波形的差值 ( $V_{DP} - V_{DN}$ ) 计算。将根据 01 参考模式的差分波形数据构建平均波形。平均波形应通过将至少 128 个单独波形水平对齐到一个共同参考点（即第一个过渡的过零时间）来构建。

Table 16 HS Transmitter DC Specifications

Parameter	Description	Min	Nom	Max	Units	Notes
$V_{CMTX}$	HS transmit static common-mode voltage	150	200	250	mV	1
$ \Delta V_{CMTX(1,0)} $	$V_{CMTX}$ mismatch when output is Differential-1 or Differential-0			5	mV	2
$ V_{OD} $	HS transmit differential voltage	140	200	270	mV	1
$ \Delta V_{OD} $	$V_{OD}$ mismatch when output is Differential-1 or Differential-0			10	mV	2
$V_{OHHS}$	HS output high voltage			360	mV	1
$Z_{OS}$	Single ended output impedance	40	50	62.5	$\Omega$	
$\Delta Z_{OS}$	Single ended output impedance mismatch			10	%	

图 7-8  $V_{OD}$  规格要求

可观测结果：

针对所有三种 ZID 情况：

- 验证  $V_{OD\ High}$  (即  $V_{OD(1)}$ ) 是否在 140 到 270 mV 之间。

- 验证  $V_{OD\ Low}$  (即  $V_{OD(0)}$ ) 是否在 -140 到 -270 mV 之间。

**注意:** 该测试方法与 4.6 中的数据通道  $V_{OD}$  测试性质相似, 只是做了一些修改。测量的参数相同, 一致性范围也相同。使用类似的方法创建平均波形, 并在此基础上进行测量, 但使用的参考数据模式不同。由于时钟通道只包含 1010 个数据, 因此测量时钟通道  $V_{OD(1)}$  和  $V_{OD(0)}$  电平的参考模式分别为 01 和 10。此外, 时钟通道情况下将不像数据通道参考模式那样对参考模式第 4 位和第 5 位中心之间的采样取平均值, 而只是测量参考模式第 2 位中心的电压, 以确定  $V_{OD(1)}$  和  $V_{OD(0)}$  电平。

## 7.5 Test-1.4.5 时钟通道 HS TX 差分电压失配 ( $\Delta V_{OD}$ )

### 7.5.1 测试设置

使 DUT 在时钟通道上发出 HS 时钟信号（突发或连续）。

### 7.5.2 测试步骤

- 从 7.4 Test-1.4.4 中获取所有三个 ZID 测试用例的时钟通道  $V_{OD(0)}$  和  $V_{OD(1)}$  数值结果。
- 对于每个 ZID 测试用例，如上所述计算时钟通道  $\Delta V_{OD}$  结果。

### 7.5.3 测量时钟通道 HS-TX 差分电压失配 ( $\Delta V_{OD}$ )

**目的:** 为了验证被测设备 (DUT) 时钟通道的 HS-TX 的差分电压失配 ( $\Delta V_{OD}$ ) 是否在一致性限制范围内。对于所有三种 ZID (阻抗识别) 情况,  $\Delta V_{OD}$  的绝对值必须小于 14 mV, 才满足一致性要求。

#### 参考指标:

- [1] D-PHY Specification, Section 8.1.1, Line 1343
- [2] D-PHY Specification, Section 8.1.1, Table 16

#### 测试介绍:

D-PHY 规范指出: “输出差分电压失配  $\Delta V_{OD}$  定义为差分输出电压在 Differential-1 状态 ( $V_{OD(1)}$ ) 和差分输出电压在 Differential-0 状态 ( $V_{OD(0)}$ ) 的绝对值之差。这可以用以下表达式表示:

$\Delta V_{OD} = |V_{OD(1)}| - |V_{OD(0)}|$ ,  $\Delta V_{OD}$  如图 7-9 展示。

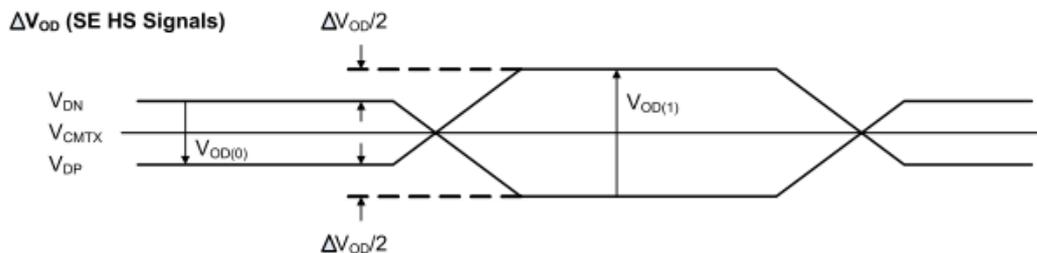


图 7-9 可能的单端 HS 信号的差分电压失真 ( $\Delta V_{OD}$ )

在这项测试中, 将使用之前测试 (参见测试 4.6) 中获得的数值  $V_{OD(0)}$  和  $V_{OD(1)}$  结果来计算  $\Delta V_{OD}$  结果。这两个值的绝对值之差将被用来计算  $\Delta V_{OD}$ 。这将利用所有三种 ZID 测试案例的数据来完成。

$ \Delta V_{OD} $	$V_{OD}$ mismatch when output is Differential-1 or Differential-0	-	-	14	mV
-------------------	---	---	---	----	----

图 7-10  $\Delta V_{OD}$  规格要求

Parameter	Description	Min	Nom	Max	Units
$V_{CMTX}$	HS transmit static common-mode voltage	150	200	250	mV
$ \Delta V_{CMTX(1,0)} $	$V_{CMTX}$ mismatch when output is Differential-1 or Differential-0			5	mV
$ V_{OD} $	HS transmit differential voltage	140	200	270	mV
$ \Delta V_{OD} $	$V_{OD}$ mismatch when output is Differential-1 or Differential-0			10	mV

**可观测结果：**

对于所有三种 ZID 情况：

验证  $\Delta V_{OD}$  的绝对值是否小于 14 mV。

**注意：**该测试的方法与 4.7 中的数据通道  $\Delta V_{OD}$  测试相同，只是测量是使用时钟通道  $V_{OD}$  结果进行的。一致性限制与数据通道情况相同。此外请尽量减少  $\Delta V_{OD}$ ，以减少辐射并优化信号完整性。

## 7.6 Test-1.4.6 时钟通道 HS-TX 单端输出高电压 ( $V_{OHHS(DP)}$ 、 $V_{OHHS(DN)}$ )

### 7.6.1 测试设置

使 DUT 在时钟通道上发出 HS 时钟信号 (突发或连续)。

### 7.6.2 测试步骤

- 将 DUT 连接到测试装置 (具体连接方式, 请参考 2.2 章节), 使时钟通道连接到  $ZID = 100 \Omega$  的通道。
- 使 DUT 在时钟通道上发出 HS 时钟信号 (突发或连续)。
- 使用 DSO 捕捉时钟信号。
- 测量  $V_{OHHS(DP)}$  和  $V_{OHHS(DN)}$ 。
- 重复前面的步骤两次, 一次是时钟通道连接到的  $ZID = 125 \Omega$  通道, 另一次是时钟通道连接到  $ZID = 80 \Omega$  通道。

### 7.6.3 测量时钟通道 HS-TX 单端输出高电压 ( $V_{OHHS(DP)}$ 、 $V_{OHHS(DN)}$ )

**目的:** 为了验证被测设备 (DUT) 时钟通道的 HS-TX 单端输出高电压 ( $V_{OHHS(DP)}$  和  $V_{OHHS(DN)}$ ) 是否小于最大一致性限制。对于所有  $ZID$  情况和所有数据通  $Dp$  和  $Dn$  信号的  $V_{OHHS}$  都小于 360 mV, 才满足一致性要求。

#### 参考指标:

[1] D-PHY Specification, Section 8.1.1, Line 1336

[2] D-PHY Specification, Section 8.1.1, Table 16

#### 测试介绍:

在这项测试中, 方法类似于 6.6 Test-1.3.6 中的数据通道  $V_{OHHS(DP)}$ 、 $V_{OHHS(DN)}$  测试, 但测量是在时钟通道的  $V_{DP}$  和  $V_{DN}$  信号上进行的, 而且使用的是 01 参考模式, 而不是 011111 模式 (时钟通道上不存在这种模式)。此外,  $V_{OHHS}$  值以 "1" 位中心的电压电平进行测量 (与时钟通道  $V_{OD(1)}$  测量类似, 参见 6.4 Test-1.3.4)。时钟通道  $V_{OHHS}$  一致性限值要求与数据通道相同。

Parameter	Description	Min	Nom	Max	Units
$V_{CMTX}$	HS transmit static common-mode voltage	150	200	250	mV
$ \Delta V_{CMTX(1,0)} $	$V_{CMTX}$ mismatch when output is Differential-1 or Differential-0			5	mV
$ V_{OD} $	HS transmit differential voltage	140	200	270	mV
$ \Delta V_{OD} $	$V_{OD}$ mismatch when output is Differential-1 or Differential-0			10	mV
$V_{OHHS}$	HS output high voltage			360	mV

图 7-11  $V_{OHHS}$  规格要求**可观测结果：**

适用于所有三种 ZID 情况：

验证  $V_{OHHS}$  对于 Dp 和 Dn 信号均小于 360 mV。

**注意：** $V_{OHHS}$  是 D-PHY 高速 (HS) 信号的三个基本幅度规范之一：HS 差分电压 ( $V_{OD}$ ) 的发射符合性范围为 140 至 270 mV 峰值 (即 280 至 540 mV 峰峰值)。HS 共模电压 ( $V_{CMTX}$ ) 的发射符合性范围为 150 至 250 mV。因此，有趣的是，如果一个设备被配置为使用最大  $V_{OD}$  和  $V_{CMTX}$  值，则实际上会违反  $V_{OHHS}$  的最大限制 360 mV，因为在这种情况下传输的  $V_{OHHS}$  将为  $250 + 135 = 385$  mV。因此，为了以最大  $V_{OHHS}$  水平进行传输，设备需要将其  $V_{OD}$  或  $V_{CMTX}$  设置从最大值降低。

## 7.7 Test-1.4.7 时钟通道 HS-TX 静态共模电压 ( $V_{CMTX(1)}$ 、 $V_{CMTX(0)}$ )

### 7.7.1 测试设置

使 DUT 在时钟通道上发出 HS 时钟信号（突发或连续）。

### 7.7.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节），使时钟通道连接到  $ZID = 100 \Omega$  通道。
- 使 DUT 在时钟通道上发出 HS 时钟信号（突发或连续）。
- 使用 DSO 捕捉时钟信号。如上所述，使用后处理方法测量  $V_{CMTX(1)}$  和  $V_{CMTX(0)}$ 。
- 重复前面的步骤两次，一次是时钟通道连接到的  $ZID = 125 \Omega$  的通道，另一次是时钟通道连接到  $ZID = 80 \Omega$  的通道。

### 7.7.3 测量时钟通道 HS-TX 差分电压 ( $V_{OD(0)}$ 、 $V_{OD(1)}$ ) 值

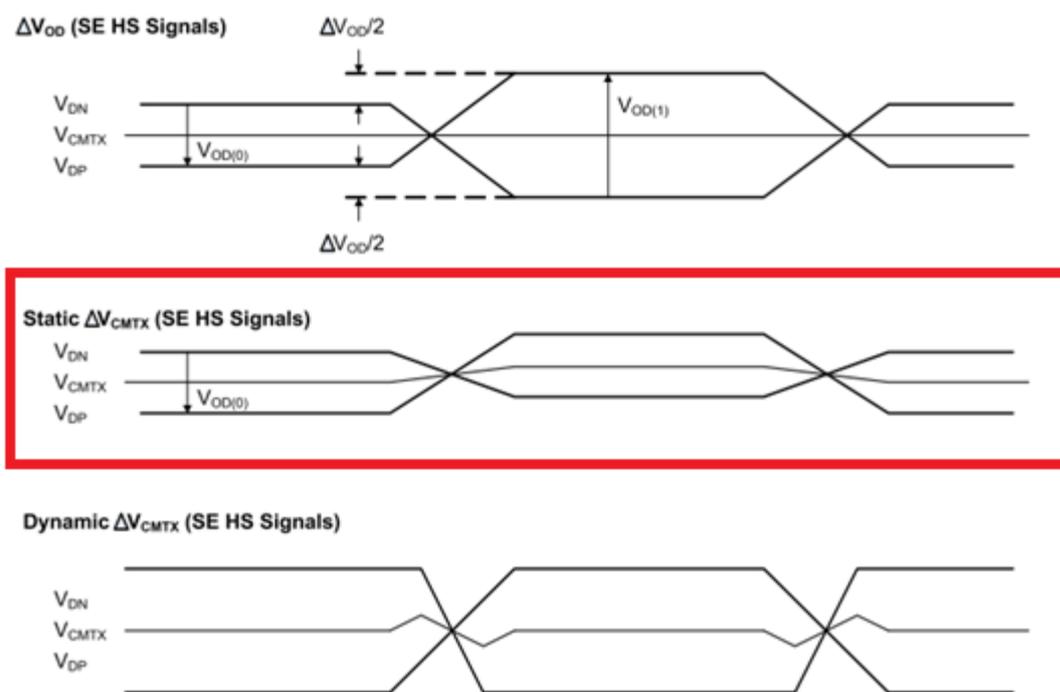
**目的：**为了验证被测设备（DUT）时钟通道的 HS-TX 静态共模电压 ( $V_{CMTX(1)}$  和  $V_{CMTX(0)}$ ) 是否在一致性限制范围内。对于所有  $ZID$  情况  $V_{CMTX}$  在 Differential-1 和 Differential-0 状态下均在 150 到 250 mV 之间，才满足一致性要求。

#### 参考指标：

- [1] D-PHY Specification, Section 8.1.1, Line 1340
- [2] D-PHY Specification, Section 8.1.1, Table 16

#### 测试介绍：

共模电压  $V_{CMTX}$  定义为：“ $D_p$  和  $D_n$  引脚电压的算术平均值： $V_{CMTX} = (V_{DP} + V_{DN}) / 2$ ”。由于可能发生各种类型的信号失真， $V_{CMTX}$  在驱动 Differential-1 与 Differential-0 状态时可能会有不同的值。正因为如此，必须分别对 0 和 1 状态下的  $V_{CMTX}$  进行测量，测量值对应于 UI（单位间隔）中心处的稳定电压（而不是在比特转换时发生的“动态”交流波动，后者由单独的规范覆盖）。规范中包含了一张图，图 7-12 展示了可能发生的各种不同类型的信号失真，并用红色高亮显示了静态共模失真类型。

图 7-12 静态  $V_{CMTX}$  失真

在此测试中，将使用实时数字存储示波器捕捉部分 DUT 的 HS 时钟链路信号。然后对  $V_{DP}$  和  $V_{DN}$  单端波形进行平均，以创建  $V_{CMTX}$  共模波形。 $V_{CMTX}$  波形将在每个 UI 的中心位置采样，与每个 Differential-1 和 Differential-0 状态相对应。在最少 5000 个 Differential-1 UI 上观察到的平均共模电压将被计算为  $V_{CMTX(1)}$ ，而在最少 5000 个 Differential-0 UI 上观察到的平均共模电压将被计算为  $V_{CMTX(0)}$ 。

Parameter	Description	Min	Nom	Max	Units
$V_{CMTX}$	HS transmit static common-mode voltage	150	200	250	mV
$ \Delta V_{CMTX(1,0)} $	$V_{CMTX}$ mismatch when output is Differential-1 or Differential-0			5	mV

图 7-13  $V_{CMTX}$  规格要求

#### 可观测结果:

适用于所有三种 ZID 情况:

验证  $V_{CMTX}$  在 Differential-1 和 Differential-0 状态下均在 150 到 250 mV 之间。

注意: 无。

## 7.8 Test-1.4.8 时钟通道 HS-TX 静态共模电压失配 ( $\Delta V_{\text{CMTX}(1,0)}$ )

### 7.8.1 测试设置

使 DUT 在时钟通道上发出 HS 时钟信号（突发或连续）。

### 7.8.2 测试步骤

- 从 7.7 Test-1.4.7 中获取所有三个 ZID 测试用例的时钟通道  $V_{\text{CMTX}(0)}$  和  $V_{\text{CMTX}(1)}$  数值结果。
- 对于每个 ZID 测试用例，计算时钟通道  $\Delta V_{\text{CMTX}(1,0)}$  结果。

### 7.8.3 测量时钟通道 HS-TX 静态共模电压失配 ( $\Delta V_{\text{CMTX}(1,0)}$ )

**目的：**验证 DUT 时钟通道 HS-TX 的静态共模电压失配 ( $\Delta V_{\text{CMTX}(1,0)}$ ) 是否小于最大一致性限制。对于所有 ZID 情况， $\Delta V_{\text{CMTX}(1,0)}$  小于 5 mV，才满足一致性要求。

#### 参考指标：

[1] D-PHY Specification, Section 8.1.1, Line 1340

[2] D-PHY Specification, Section 8.1.1, Table 16

#### 测试介绍：

规范指出，“Differential-1 和 Differential-0 状态之间的静态共模电压失配由以下给出： $\Delta V_{\text{CMTX}(1,0)} = (V_{\text{CMTX}(1)} - V_{\text{CMTX}(0)}) / 2$ ”。

在这项测试中，将使用 7.7 Test-1.4.7 中的数值结果来计算数据通道 HS-TX 静态共模电压失配，记为  $\Delta V_{\text{CMTX}(1,0)}$ 。该测量将对每个 ZID 情况进行计算。对于任何情况， $\Delta V_{\text{CMTX}(1,0)}$  的值必须小于 5 mV 才能被视为符合一致性规范。

Parameter	Description	Min	Nom	Max	Units
$V_{\text{CMTX}}$	HS transmit static common-mode voltage	150	200	250	mV
$ \Delta V_{\text{CMTX}(1,0)} $	$V_{\text{CMTX}}$ mismatch when output is Differential-1 or Differential-0			5	mV

图 7-14  $\Delta V_{\text{CMTX}(1,0)}$  规格要求

#### 可观测结果：

适用于所有三种 ZID 情况：

验证  $\Delta V_{\text{CMTX}(1,0)}$  是否小于 5 mV。

**注意：**该测试的方法与 6.8 Test-1.3.8 中的数据通道  $\Delta V_{\text{CMTX}(1,0)}$  测试相同，只是测量是使用时钟通道  $V_{\text{CMTX}}$  结果进行的)。一致性限制与数据通道情况相同。

## 7.9 Test-1.4.9 时钟通道 HS-TX 在 50-450 MHz 范围内的动态共模电平变化 ( $\Delta V_{CMTX(LF)}$ )

### 7.9.1 测试设置

使 DUT 在时钟通道上发出 HS 时钟信号（突发或连续）。

### 7.9.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节），使时钟通道连接到  $ZID = 100 \Omega$  的通道。
- 使 DUT 在时钟通道上发出 HS 时钟信号（突发或连续）。
- 在数据通道以 HS 模式运行时，使用 DSO 捕捉时钟信号。
- 测量  $\Delta V_{CMTX(LF)}$ 。

### 7.9.3 测量时钟通道 HS-TX 在 50-450 MHz 范围内的动态共模电平变化 ( $\Delta V_{CMTX(LF)}$ )

**目的：**验证被测设备 (DUT) 时钟通道的 HS-TX 在 50 至 450 MHz 范围内的 AC 共模信号电平变化 ( $V_{CMTX(LF)}$ ) 低于最大允许限制。使用标称的  $100 \Omega$  ZID 值进行测量,  $V_{CMTX(LF)}$  小于  $25 \text{ mV}_{PEAK}$ , 才满足一致性要求。

#### 参考指标：

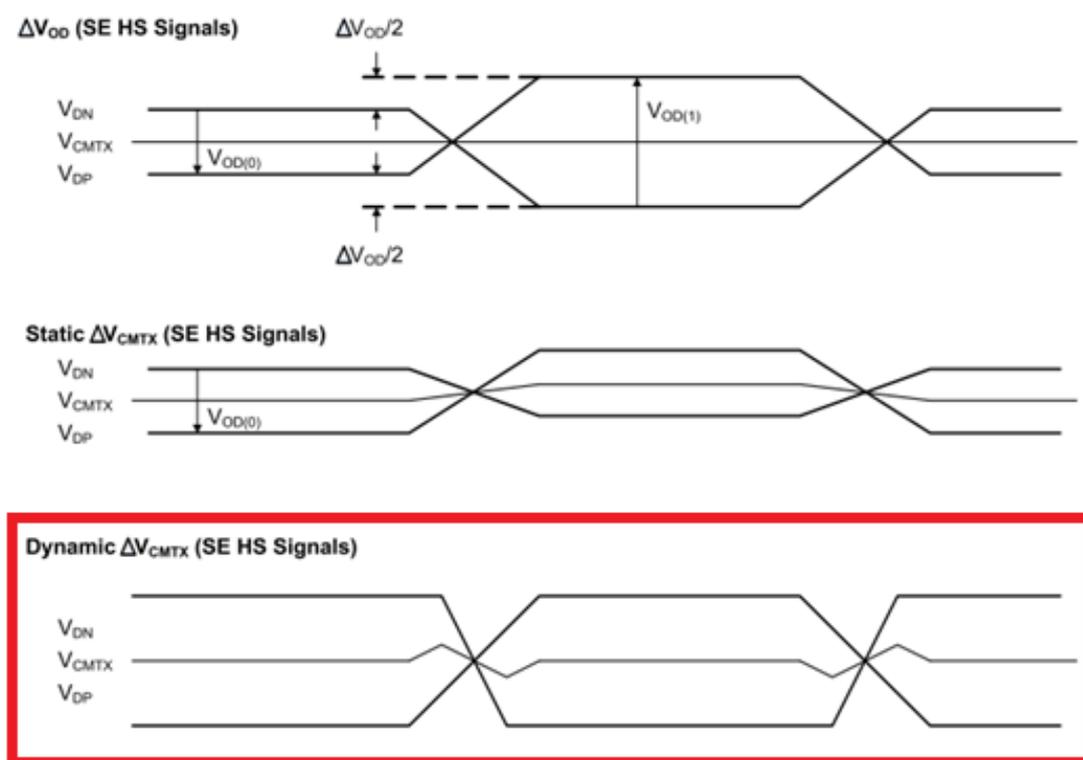
[1] D-PHY Specification, Section 8.1.1, Line 1357

[2] D-PHY Specification, Section 8.1.1, Table 17

#### 测试介绍：

规范定义了关于设备共模信号的若干要求。这些规范各自测量共模信号的不同类型的失真，这些失真可能是由非常具体和独特的波形不对称类型引起的。“动态”（AC）变化通常是由单端高速（HS）信号的上升/下降时间不对称造成的。规范指出，“发射器应当发送数据，使得高频和低频共模电压变化不超过  $\Delta V_{CMTX(HF)}$  和  $\Delta V_{CMTX(LF)}$ 。”这里的  $\Delta V_{CMTX(HF)}$  和  $\Delta V_{CMTX(LF)}$  分别指的是高频和低频共模电压变化的最大允许值。

图 7-15 展示了可能发生各种不同类型的信号失真。并用红色高亮显示了动态共模失真类型。

图 7-15 动态  $V_{CMTX}$  失真

在这项测试中, 将以与测量 HS-TX 静态共模电压相同的方式, 使用实时数字存储示波器 (DSO) 捕获  $V_{CMTX}$  共模信号。但是在这项测试中, 而不是测量平均的  $1/0$  直流电平, 将测量 AC 电压, 特别是针对 50 到 450 MHz 的频率范围。 $V_{CMTX(LF)}$  的值必须小于 25 mV 峰值 ( $mV_{PEAK}$ ), 为才被视为符合一致性规范。

Parameter	Description	Min	Nom	Max	Units
$\Delta V_{CMTX(HF)}$	Common-level variations above 450MHz			15	$mV_{RMS}$
$\Delta V_{CMTX(LF)}$	Common-level variation between 50-450MHz			25	$mV_{PEAK}$

图 7-16  $\Delta V_{CMTX(LF)}$  规格要求

为了隔离出感兴趣的频率带内的能量, 必须采用某种方法去除高于 450 MHz 和低于 50 MHz 的能量。虽然有多种可能的方法可以实现这一目的, 但这项测试选择的实现方法是通过使用后处理滤波器, 这些滤波器特别设计用于大幅衰减带外的能量。需要注意的是, 由于规范中并未定义特定的测试滤波器作为要求的一部分, 因此测量结果可能会高度依赖于所选的实现方法。尽管如此, 为了符合一致性测试的目的, 必须选择一个通用的滤波器。所选的实现方法使用了一个 8 阶巴特沃斯无限脉冲响应 (IIR) 带通滤波器作为测试滤波器, 其 -3 dB 截止频率为 50 MHz 和 450 MHz。在进行峰值电压测量之前, 原始的  $V_{CMTX}$  波形会通过该滤波器。测量带通滤波后的  $V_{CMTX}$  波形的峰值电压, 以得出最终的  $V_{CMTX(LF)}$

结果。

**可观测结果：**

对于  $ZID = 100 \Omega$ ：

验证  $\Delta V_{CMTX(LF)}$  是否小于 25 mV 峰值 ( $mV_{PEAK}$ )。

**注意：**该测试的方法与 6.9 Test-1.3.9 中的数据通道  $\Delta V_{CMTX(LF)}$  测试相同，只是测量在时钟通道上进行。一致性限制与数据通道情况相同。

## 7.10 Test-1.4.10 时钟通道 HS-TX 在 450MHz 以上的动态共模电平变化 ( $\Delta V_{\text{CMTX(HF)}}$ )

### 7.10.1 测试设置

使 DUT 在时钟通道上发出 HS 时钟信号（突发或连续）。

### 7.10.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节），使时钟通道连接到  $Z_{\text{ID}} = 100 \Omega$  的通道。
- 使 DUT 在时钟通道上发出 HS 时钟信号（突发或连续）。
- 使用 DSO 捕捉时钟信号。
- 测量  $\Delta V_{\text{CMTX(HF)}}$ 。

### 7.10.3 测量时钟通道 HS-TX 在 450MHz 以上的动态共模电平变化 ( $\Delta V_{\text{CMTX(HF)}}$ )

**目的：**验证被测设备 (DUT) 时钟通道的 HS-TX 在 450MHz 以上的 AC 共模信号电平变化 ( $V_{\text{CMTX(LF)}}$ ) 低于最大允许限制。使用标称  $100 \Omega$   $Z_{\text{ID}}$  值进行测量， $V_{\text{CMTX(HF)}}$  的值必须小于  $15 \text{ mV}_{\text{RMS}}$  才能被视为符合要求，才满足一致性要求。

#### 参考指标：

[1] D-PHY Specification, Section 8.1.1, Line 1357

[2] D-PHY Specification, Section 8.1.1, Table 17

#### 测试介绍：

这项测试的过程基本上与之前的  $\Delta V_{\text{CMTX(LF)}}$  测试（参见测试 7.9）相同，只是使用了高通滤波器而不是带通滤波器，并且结果是作为  $V_{\text{RMS}}$ （均方根值）而不是  $V_{\text{PEAK}}$ （峰值）进行测量的。这项测试中使用的测试滤波器是一个 8 阶巴特沃斯高通滤波器，其截止频率为 450 MHz（参见测试 7.9.3 中的图 7-15）。 $\Delta V_{\text{CMTX(HF)}}$  是通过高通滤波后的  $V_{\text{CMTX}}$  波形进行均方根值测量来得到的。

Parameter	Description	Min	Nom	Max	Units
$\Delta V_{\text{CMTX(HF)}}$	Common-level variations above 450MHz			15	mV <sub>RMS</sub>
$\Delta V_{\text{CMTX(LF)}}$	Common-level variation between 50-450MHz			25	mV <sub>PEAK</sub>

图 7-17  $\Delta V_{\text{CMTX(HF)}}$ 规格要求**可观测结果：**

对于  $Z_{\text{ID}} = 100 \Omega$ ：

验证  $\Delta V_{\text{CMTX(HF)}}$  是否小于 15 mV<sub>RMS</sub>。

**注意：**该测试的方法与 6.10 Test-1.3.10 中的数据通道  $\Delta V_{\text{CMTX(HF)}}$  测试相同，只是测量在时钟通道上进行。一致性限制与数据线路情况相同。

## 7.11 Test-1.4.11 时钟通道 HS-TX 20%-80% 上升时间 ( $t_R$ )

### 7.11.1 测试设置

使 DUT 在时钟通道上发出 HS 时钟信号（突发或连续）。

### 7.11.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节），使时钟通道连接到  $ZID = 100 \Omega$  的通道。
- 创建一个条件，使 DUT 在时钟通道上发出 HS 时钟信号（突发或连续）。
- 使用 DSO 捕捉时钟信号。
- 使用后处理方法，如上所述测量  $t_R$ 。
- 重复前面的步骤两次，一次是时钟通道连接到  $ZID = 80 \Omega$  的通道，另一次是时钟通道连接到  $ZID = 125 \Omega$  通道（可选）。

### 7.11.3 测量时钟通道 HS-TX 20%-80% 上升时间 ( $t_R$ )

**目的：**验证 DUT 时钟通道 HS-TX 的 20%-80% 上升时间 ( $t_R$ ) 是否在一致性限制内。对于所有 ZID 情况， $t_R$  必须大于 150 ps 且小于 0.3 UI，才满足一致性要求。（1.0 版本要求测试所有情况，但后续版本 125  $\Omega$  情况不强制要求测试，测 80 和 100 $\Omega$  就行）

#### 参考指标：

[1] D-PHY Specification, Section 8.1.1, Line 1376

[2] D-PHY Specification, Section 8.1.1, Table 17

#### 测试介绍：

D-PHY 规范指出：上升时间和下降时间， $t_R$  和  $t_F$ ，定义为从 HS 信号摆幅的 20% 到 80% 的过渡时间。驱动器应当满足所有允许的 ZID 下的  $t_R$  和  $t_F$  规格。

在这项测试中，将使用实时数字存储示波器 (DSO) 捕获被测设备 (DUT) 的高速 (HS) 数据通道信号。差分波形 VOD 将被计算为正极性和负极性单端波形 ( $V_{DP}$  和  $V_{DN}$ ) 之间的差值 ( $V_{DP} - V_{DN}$ )。将相对于先前确定的平均  $V_{OD(0)}$  和  $V_{OD(1)}$  幅度值测量所有 HS 转换的平均 20%-80% 上升时间 ( $t_R$ )，以产生最终的  $t_R$  结果。

Parameter	Description	Min	Nom	Max	Units
$\Delta V_{\text{CMTX(HF)}}$	Common-level variations above 450MHz			15	mV <sub>RMS</sub>
$\Delta V_{\text{CMTX(LF)}}$	Common-level variation between 50-450MHz			25	mV <sub>PEAK</sub>
$t_{\text{R}}$ and $t_{\text{F}}$	20%-80% rise time and fall time			0.3	UI
		150			ps

图 7-18  $t_{\text{R}}$  规格要求

对于能够以最大速率  $\leq 1\text{Gbps}$  运行的设备,  $t_{\text{R}}$  值应大于 150ps, 并且必须小于 0.3 UI (其中 UI 是 DUT 的标称 HS 单元间隔, 请参阅测试 7.17 Test-1.4.17), 以便被认为是符合一致性要求的。对于能够以最大速率  $> 1\text{Gbps}$  且  $\leq 1.5\text{Gbps}$  运行的设备 (无论测试的速率如何, 即使该速率  $\leq 1\text{Gbps}$ ),  $t_{\text{R}}$  的值应大于 100ps, 并且必须小于 0.35 UI 以便被认为是符合的。(不是 1.0 版本的要求)

#### 可观测结果:

对于 80 和 100  $\Omega$  ZID 情况以及所有数据通道:

- (对于  $\text{DUT} \leq 1\text{Gbps}$ ): 验证  $t_{\text{R}}$  值应大于 150ps  $t_{\text{R}}$  是否小于 0.30 UI。
- (对于  $\text{DUT} > 1\text{Gbps}$  且  $\leq 1.5\text{Gbps}$ ): 验证  $t_{\text{R}}$  是否小于 0.35 UI。

**注意:** 该测试方法与 6.11 Test-1.3.11 中的数据通道上升时间测试性质相似, 但有一些修改。测量的参数相同, 一致性范围也相同。使用类似的方法创建平均波形, 并在此基础上进行测量, 但不使用 000111 参考数据模式, 而是使用 01 模式 (因为时钟通道上不存在 000111 模式)。参考顶电平和基准电平应根据时钟通道稳定的直流 HS-ZERO 电平确定, 即  $V_{\text{HS-ZERO}}$ 。

## 7.12 Test-1.4.12 数时钟通道 HS-TX 80%-20% 下降时间 ( $t_F$ )

### 7.12.1 测试设置

使 DUT 在时钟通道上发出 HS 时钟信号（突发或连续）。

### 7.12.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节），使时钟通道连接到  $ZID = 100 \Omega$  的通道。
- 创建一个条件，使 DUT 在时钟通道上发出 HS 时钟信号（突发或连续）。
- 使用 DSO 捕捉时钟信号。
- 测量  $t_F$ 。
- 重复前面的步骤两次，一次是时钟通道连接到的  $ZID = 80 \Omega$  通道，另一次是时钟通道连接到  $ZID = 125 \Omega$ （可选）。

### 7.12.3 测量时钟通道 HS-TX 80%-20% 下降时间 ( $t_F$ )

**目的：**验证 DUT 时钟通道 HS-TX 的 80%-20% 下降时间 ( $t_F$ ) 是否在一致性限制内。对于所有 ZID 情况， $t_r$  必须大于 150 ps 且小于 0.3 UI，才满足一致性要求。（1.0 版本要求测试所有情况，但后续版本 125  $\Omega$  情况不强制要求测试，测 80 和 100  $\Omega$  就行）

#### 参考指标：

[1] D-PHY Specification, Section 8.1.1, Line 1376

[2] D-PHY Specification, Section 8.1.1, Table 17

#### 测试介绍：

请注意，该测试的方法与 7.11 Test-1.4.11 中的上升时间测试相同。基准顶电平和基准电平仍然是上一次测试中测量的时钟通道  $V_{HS-ZERO}$  值。

Parameter	Description	Min	Nom	Max	Units
$\Delta V_{\text{CMTX(HF)}}$	Common-level variations above 450MHz			15	mV <sub>RMS</sub>
$\Delta V_{\text{CMTX(LF)}}$	Common-level variation between 50-450MHz			25	mV <sub>PEAK</sub>
$t_{\text{R}}$ and $t_{\text{F}}$	20%-80% rise time and fall time			0.3	UI
		150			ps

图 7-19  $t_{\text{R}}$  规格要求

对于能够以最大速率  $\leq 1\text{Gbps}$  运行的设备,  $t_{\text{F}}$  值应大于 150ps, 并且必须小于 0.3 UI (其中 UI 是 DUT 的标称 HS 单元间隔, 请参阅测试 7.17 Test-1.4.17), 以便被认为是符合一致性要求的。对于能够以最大速率  $> 1\text{Gbps}$  且  $\leq 1.5\text{Gbps}$  运行的设备 (无论测试的速率如何, 即使该速率  $\leq 1\text{Gbps}$ ),  $t_{\text{R}}$  的值应大于 100ps, 并且必须小于 0.35 UI 以便被认为是符合的。(不是 1.0 版本的要求)

#### 可观测结果:

对于 80 和 100  $\Omega$  ZID 情况以及所有数据通道:

- (对于  $\text{DUT} \leq 1\text{Gbps}$ ): 验证  $t_{\text{F}}$  值应大于 150ps  $t_{\text{F}}$  是否小于 0.30 UI。
- (对于  $\text{DUT} > 1\text{Gbps}$  且  $\leq 1.5\text{Gbps}$ ): 验证  $t_{\text{F}}$  是否小于 0.35 UI。

**注意:** 频率  $f_{\text{h}}$  是数据传输的最高基频, UI 等于  $1/(2 \cdot f_{\text{h}})$ 。

## 7.13 Test-1.4.13 时钟通道 HS Exit: 时钟高速模式退出时间值

### 7.13.1 测试设置

使 DUT 在时钟通道上产生 HS 退出序列。

### 7.13.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节），使时钟通道连接到  $ZID = 100\ \Omega$  的通道。
- 使 DUT 在时钟通道上产生 HS 退出序列。
- 使用 DSO 捕捉 HS 退出序列。
- 测量  $T_{CLK-TRAIL}$ 。
- 测量  $T_{CLK-TRAIL}$  期间的 HS 状态 (HS-0 或 HS-1)。

### 7.13.3 测量时钟通道 HS Exit: 时钟高速模式退出时间值

**目的:** 为了验证被测设备 (DUT) 时钟通道 TX 在高速 (HS) 突发序列最后一个有效载荷数据位之后驱动反转的最终差分状态的时间 ( $T_{CLK-TRAIL}$ ) 是否大于所需的最小值。在  $ZID=100\ \Omega$  的情况下进行测量，测量的  $T_{CLK-TRAIL}$  值必须大于 60ns，才满足一致性要求。

#### 参考指标:

[1] D-PHY Specification, Section 5.9, Table 14

#### 测试介绍:

作为将时钟通道从 HS 模式切换出来的流程的一部分, D-PHY 规范规定了在 HS 传输脉冲串的最后有效载荷时钟比特之后的最终扩展时钟通道 HS-0 状态的持续时间要求。该时间间隔定义为  $T_{CLK-TRAIL}$ ，如下图所示。

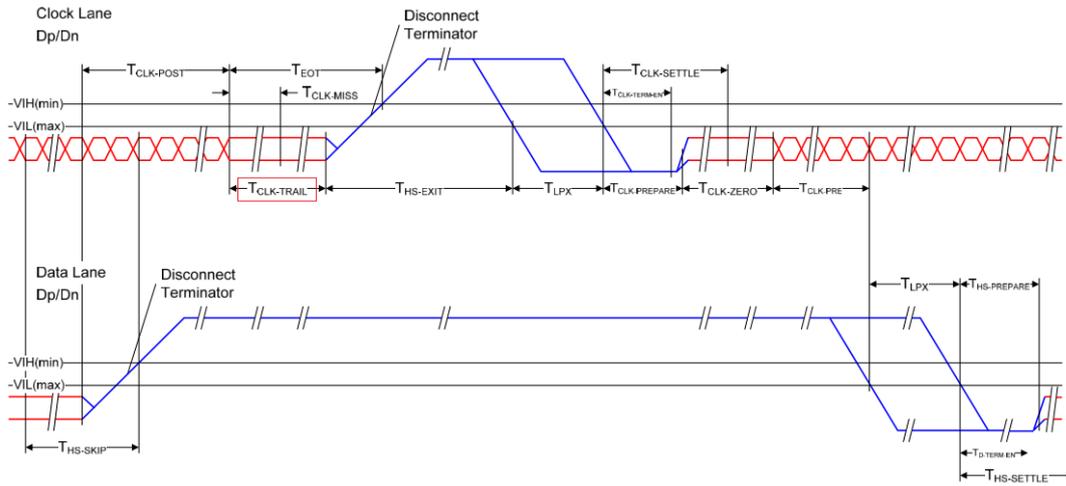


图 7-20  $T_{CLK-TRAIL}$  间隔

在此测试中，将使用实时数字存储示波器捕捉来自 DUT 发射器的 HS 时钟通道信号突发。差分波形将按正负单端波形的差值 ( $V_{DP}-V_{DN}$ ) 计算。将在差分波形进入和退出最小有效 HS-RX 差分范围（即差分波形跨过 +70 或 -70mV）时，测量最终扩展 HS 差分状态的  $T_{CLK-TRAIL}$  间隔。该测量仅针对 ZID = 100  $\Omega$  测试用例。

Parameter	Description	Min	Typ	Max	Unit
$T_{CLK-MISS}$	Timeout for receiver to detect absence of Clock transitions and disable the Clock Lane HS-RX.			60	ns
$T_{CLK-POST}$	Time that the transmitter continues to send HS clock after the last associated Data Lane has transitioned to LP Mode. Interval is defined as the period from the end of $T_{HS-TRAIL}$ to the beginning of $T_{CLK-TRAIL}$ .	$60\text{ ns} + 52 * UI$			ns
$T_{CLK-PRE}$	Time that the HS clock shall be driven by the transmitter prior to any associated Data Lane beginning the transition from LP to HS mode.	8			UI
$T_{CLK-PREPARE}$	Time that the transmitter drives the Clock Lane LP-00 Line state immediately before the HS-0 Line state starting the HS transmission.	38		95	ns
$T_{CLK-SETTLE}$	Time interval during which the HS receiver shall ignore any Clock Lane HS transitions, starting from the beginning of $T_{CLK-PREPARE}$ .	95		300	ns
$T_{CLK-TERM-EN}$	Time for the Clock Lane receiver to enable the HS line termination, starting from the time point when Dn crosses $V_{IL-MAX}$ .	Time for Dn to reach $V_{TERM-EN}$		38	ns
$T_{CLK-TRAIL}$	Time that the transmitter drives the HS-0 state after the last payload clock bit of a HS transmission burst.	60			ns

图 7-21  $T_{CLK-TRAIL}$  规格要求

**可观测结果：**

对于 ZID = 100  $\Omega$ ：

- 验证  $T_{HS-TRAIL}$  是否大于 60 ns。
- 验证  $T_{CLK-TRAIL}$  状态为 HS-0。

**注意：**该测试的方法与 6.13 Test-1.3.13 中的数据通道  $T_{HS-TRAIL}$  测试基本相同，只是测量在时钟通道上进行，并采用了不同的一致性限制)。

## 7.14 Test-1.4.14 时钟通道 LP TX:30%-85% 信号传输后上升时间 ( $T_{REOT}$ )

### 7.14.1 测试设置

使 DUT 在时钟通道上产生 HS 退出序列。

### 7.14.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节），使时钟通道连接到  $ZID = 100\ \Omega$  的通道。
- 使 DUT 在时钟通道上产生 HS 退出序列。
- 使用 DSO 捕捉 HS 退出序列。
- 测量  $T_{REOT}$ 。

### 7.14.3 测量时钟通道 LP TX: 30%-85% 信号传输后上升时间 ( $T_{REOT}$ )

**目的:** 验证 DUT 的时钟通道 LP TX 的 30%-85% EoT 后上升时间 ( $T_{REOT}$ ) 是否在一致性限制内。在  $ZID=100\ \Omega$  的情况下进行测量，验证每个数据通道的  $T_{REOT}$  小于 35ns，才满足一致性要求。

#### 参考指标:

- [1] D-PHY Specification, Section 8.1.2 Line 1431
- [2] D-PHY Specification, Section 8.1.1, Table 19

#### 测试介绍:

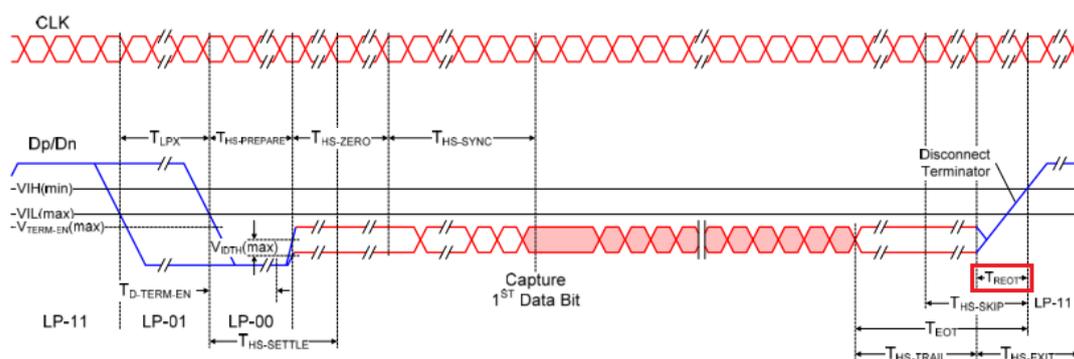


图 7-22  $T_{REOT}$  上升时间

Parameter	Description	Min	Nom	Max	Units
$T_{RLP}/T_{FLP}$	15%-85% rise time and fall time			25	ns
$T_{REOT}$	30%-85% rise time and fall time			35	ns

图 7-23  $T_{REOT}$  规范要求

在本测试中，将使用实时数字存储示波器捕获来自 DUT 发射机的 HS-TX 数据通道的突发信号。测量将仅使用  $ZID = 100 \Omega$  终端情况。差分波形将按正负单端波形的差值 ( $V_{DP}-V_{DN}$ ) 计算。 $T_{REOT}$  上升时间将从差分波形最后跨越  $\pm 70mV$  开始测量，到  $V_{DP}$  跨越  $V_{IH,MIN} = 880mV$ （对于支持最大 HS 速率  $\leq 1.5Gbps$  的 DUT）时结束。

#### 可观测结果：

对于  $ZID = 100 \Omega$ ：

验证  $T_{REOT}$  小于 35ns。

**注意：**该测试的方法与 6.14 Test-1.3.14 中的数据线路  $T_{REOT}$  测试基本相同，只是测量在时钟线路上进行。一致性限制与数据通道情况相同。



于 LP-11 状态的开始也是  $T_{REOT}$  结束的同时时间点, 因此  $T_{EOT}$  间隔也可视为  $T_{HS-TRAIL}$  和  $T_{REOT}$  间隔的总和。虽然对  $T_{HS-TRAIL}$  的要求只规定了下限, 而对  $T_{REOT}$  的要求只提供了上限, 但  $T_{EOT}$  的目的是为这两个时间间隔的组合提供上限。

Parameter	Description	Min	Typ	Max	Unit
$T_{EOT}$	Transmitted time interval from the start of $T_{HS-TRAIL}$ or $T_{CLK-TRAIL}$ , to the start of the LP-11 state following a HS burst.			105 ns + $n \cdot 12 \cdot UI$	

图 7-25  $T_{EOT}$  规范要求

在这项测试中, 将把以前测量的  $T_{HS-TRAIL}$  和  $T_{REOT}$  值(见 4.15 和 4.16)加在一起, 以创建  $T_{EOT}$ 。测得的  $T_{EOT}$  结果必须小于  $(105\text{ns} + n \cdot 12 \cdot UI)$  (其中  $n = 1$  表示正向 HS 模式,  $n = 4$  表示反向 HS 模式,  $UI$  是 DUT 的标称 HS 单位间隔, 参见测试 7.17 Test-1.4.17)。但请注意, 在本测试中,  $n$  值始终为 1, 因为本测试测量的是时钟通道  $T_{EOT}$  值, 而时钟通道始终在正向运行。因此, 测得的  $T_{EOT}$  结果必须小于  $(105\text{ns} + 12 \cdot UI)$  ns, 才算符合一致性标准。

#### 可观测结果:

对于  $ZID = 100 \Omega$  和所有数据通道:

验证  $T_{EOT}$  小于  $(105 \text{ ns} + 12 \cdot UI)$ 。

**注意:** 该测试的方法与 6.15 Test-1.3.15 的数据线路  $T_{EOT}$  测试基本相同, 只是测量在时钟线路上进行。一致性限制与数据通道情况相同。

## 7.16 Test-1.4.16 时钟通道 HS Exit: 高速退出时间值

### 7.16.1 测试设置

使 DUT 在时钟通道上重复的 HS 突发序列。

### 7.16.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节），使时钟通道连接到  $ZID = 100\ \Omega$  的通道。
- 使 DUT 在时钟通道上产生重复的 HS 突发序列。
- 使用 DSO 捕捉 HS 突发序列。
- 测量  $T_{HS-EXIT}$ 。

### 7.16.3 测量时钟通道 HS Exit: 高速退出时间值

**目的:** 验证时钟通道发送器在退出 HS 模式 ( $T_{HS-EXIT}$ ) 后保持 LP-11 (停止) 状态的持续时间是否大于所需的最小值。在  $ZID = 100\ \Omega$  的情况下进行测量,  $T_{HS-EXIT}$  大于 100ns, 才满足一致性要求。

#### 参考指标:

[1] D-PHY Specification, Section 8.1.1, Table 14

#### 测试介绍:

作为将任何 D-PHY 线路 (时钟或数据) 从 HS 模式切换出来的流程的一部分, D-PHY 规范规定了发射机在启动任何进一步序列之前必须保持 LP-11 停止状态的最短时间要求。(请注意, 此测试仅适用于时钟通道上支持非连续时钟行为的 DUT。对于仅支持连续时钟行为的 DUT, 本测试被视为“不适用”)。该时间间隔定义为  $T_{HS-EXIT}$ , 如下图所示。

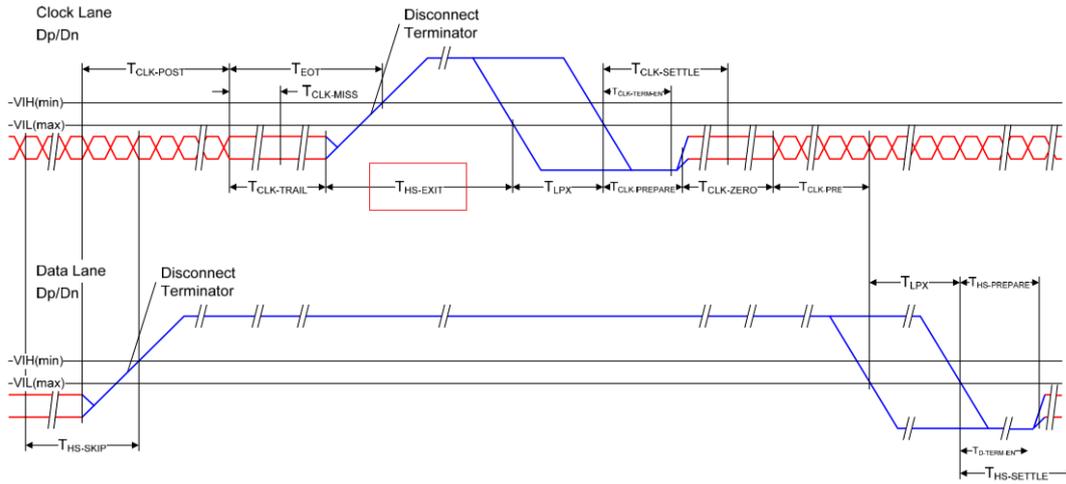


图 7-26  $T_{EOT}$  间隔

在此测试中，DUT 将被配置为重复发送 HS 突发序列，并观察时钟通道  $T_{HS-EXIT}$  值。（应在与测试 6.16 Test-1.3.16 中建议的相同突发次数上观察该值，并以相同方式进行测量）。测量仅使用  $ZID = 100 \Omega$  终端情况。在所有观测脉冲串中， $T_{HS-EXIT}$  的持续时间不得少于 100ns，这样才符合标准。

Parameter	Description	Min	Typ	Max	Unit	Notes
$T_{HS-EXIT}$	Time that the transmitter drives LP-11 following a HS burst.	100			ns	5

图 5.16.3-2  $T_{EOT}$  规范要求

**可观测结果：**

对于  $ZID = 100 \Omega$  和所有数据通道：

验证所有观测到的脉冲串的  $T_{HS-EXIT}$  均不小于 100ns。

**注意：**该测试的方法与 6.16 Test-1.3.16 的数据线路  $T_{HS-EXIT}$  测试基本相同，只是测量在时钟线路上进行。一致性限制与数据通道情况相同。

## 7.17 Test-1.4.17 时钟通道高速模式下时钟的瞬时单位间隔( $UI_{INST}$ )

### 7.17.1 测试设置

使 DUT 在时钟通道上产生 HS 时钟信号 (突发或连续)。

### 7.17.2 测试步骤

- 获取 DUT 的  $UI_{INST, MIN}$  值(可直接从 DUT 供应商处获取,或通过 DUT 的数据表获取)。
- 将 DUT 连接到测试装置 (具体连接方式,请参考 2.2 章节),使时钟通道连接到  $ZID = 100\ \Omega$  的通道。
- 使 DUT 在时钟通道上产生 HS 时钟信号 (突发或连续)。
- 使用 DSO 捕捉 HS 时钟信号。
- 测量至少 5,000 个 UI 上的最大、最小和平均  $UI_{INST}$  值。

### 7.17.3 测量时钟通道高速模式下时钟的瞬时单位间隔( $UI_{INST}$ )

**目的:** 验证 DUT HS 时钟的瞬时单位间隔值 ( $UI_{INST}$ ) 是否在一致性限制范围内。在  $ZID=100\ \Omega$  的情况下进行测量,观察到的最大  $UI_{INST}$  值必须小于 12.5ns,观察到的最小  $UI_{INST}$  值必须大于 DUT 供应商指定的  $UI_{INST, MIN}$  值,才满足一致性要求。

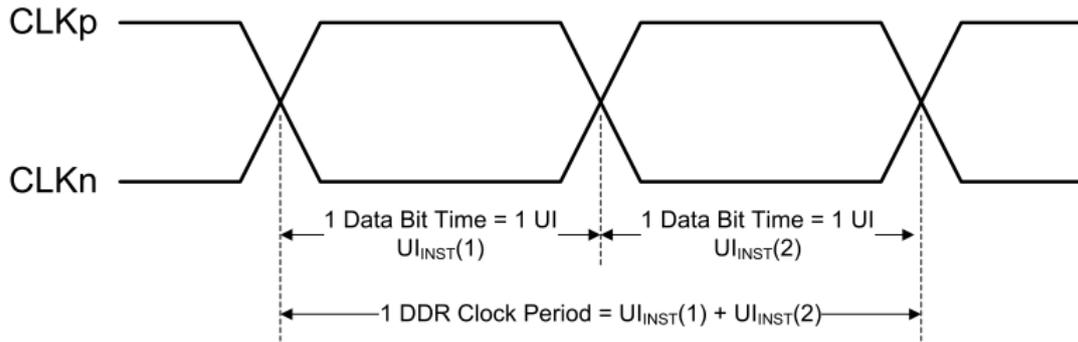
#### 参考指标:

[1] D-PHY Specification, Section 9.1, Line 1563

[2] D-PHY Specification, Section 9.1, Table 26

#### 测试介绍:

D-PHY 规范第 9 节定义了 D-PHY 产品的高速数据时钟要求。这些要求包括  $UI_{INST}$  规范,即设备的瞬时时钟通道单位间隔值。规范中提供了显示该参数的示例图,如下图所示。

图 7-27  $U_{INST}$  间隔

在这项测试中，将使用实时数字存储示波器捕捉被测件 HS 时钟信号的样本。测量将仅在  $ZID = 100 \Omega$  的终端情况下进行。样本应至少包含 5,000 个 UI（即上图所示的“数据位时间”），如有需要，可通过多次捕获获得。差分时钟通道波形将以正负单端时钟通道波形（ $V_{CLKP} - V_{CLKN}$ ）之差计算。每个 UI 的  $U_{INST}$  值将作为差分波形连续 0V 交叉时间的差值来测量。将测量并报告所有观测到的 HS UI 的最大、最小和平均  $U_{INST}$  值。

该规范为  $U_{INST}$  定义的一致性上限为 12.5ns，相当于允许的最低 HS 数据传输速率 80Mbps。规范没有定义一致性下限值，就本测试而言一致性下限值是由 DUT 供应商提供的  $U_{INST, MIN}$  值。

Clock Parameter	Symbol	Min	Typ	Max	Units	Notes
UI instantaneous	$U_{INST}$			12.5	ns	1,2

图 7-28  $U_{INST}$  规范要求

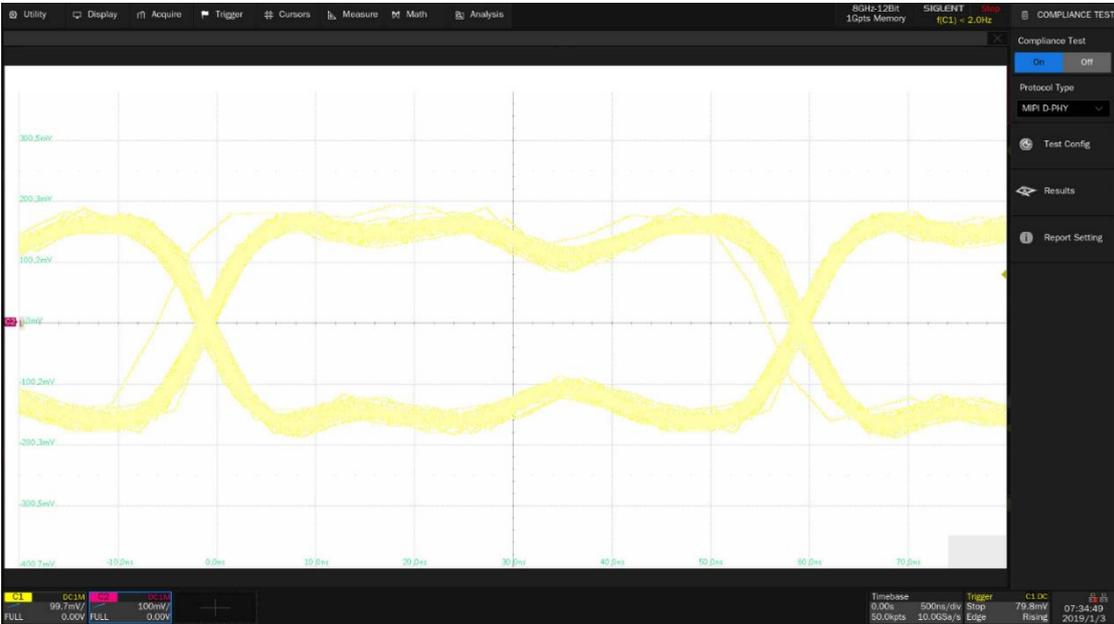
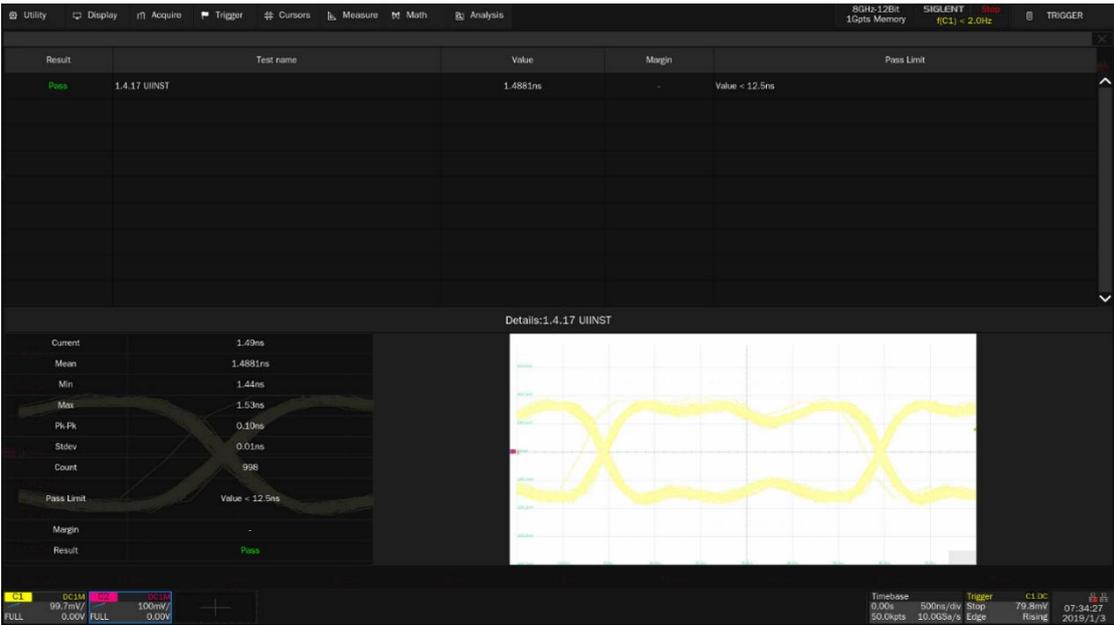
#### 可观测结果：

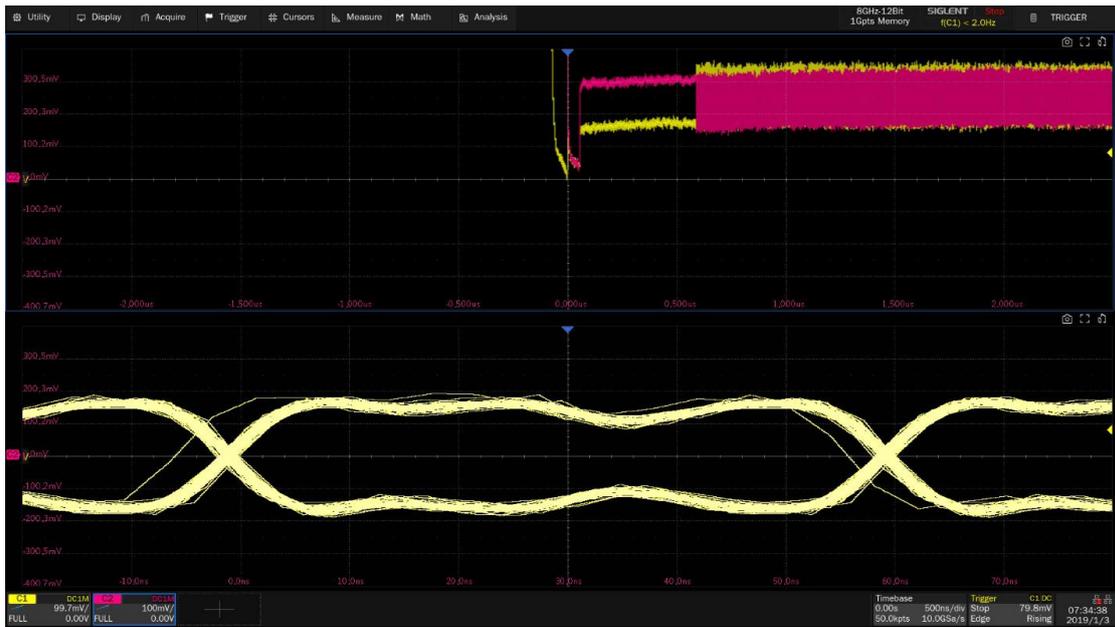
对于  $ZID = 100 \Omega$ ：

- 验证  $U_{INST}$  最大值小于 12.5ns。
- 验证最小  $U_{INST}$  值大于或等于  $U_{INST, MIN}$  值。

报告  $U_{INST}$  平均值是出于程序目的（因为在本测试套件的其他测试中使用  $U_{INST}$  平均值来计算参数的一致性限值，这些参数的范围部分或完全由 UI 值定义）。

#### 测试结果参考：





**注意：**任何单个比特周期（即数据脉冲串内的任何 DDR 半周期）均不得违反最小 UI。

## 7.18 Test-1.4.18 时钟通道高速模式下时钟单位间隔偏差( $\Delta UI$ )

### 7.18.1 测试设置

使 DUT 在时钟通道上产生 HS 时钟信号 (突发或连续)。

### 7.18.2 测试步骤

- 获得 DUT 的声明 UIINST、MIN 值 (直接从 DUT 供应商处获取, 或通过 DUT 的数据表)。
- 将 DUT 连接到测试装置 (具体连接方式, 请参考 2.2 章节), 使时钟通道连接到  $ZID = 100 \Omega$  的通道。
- 使得 DUT 在时钟通道上产生突发的高速时钟信号。
- 使用 DSO 捕获高速时钟信号。
- 测量峰值  $\Delta UI$  值。

### 7.18.3 测量时钟通道高速模式下时钟单位间隔偏差( $\Delta UI$ )

**目的:** 验证 DUT HS 时钟在单个脉冲串期间的频率稳定性是否在一致性限制范围内。对于工作速率小于等于 1 Gbps 的设备, 最大峰值  $\Delta UI$  变化值必须介于 -10% 和 +10% 之间, 才能被视为符合一致性要求。对于工作速率大于 1 Gbps 并且小于等于 1.5 Gbps 的设备, 最大峰值  $\Delta UI$  变化值必须介于 -5% 和 +5% 之间, 才能被视为符合一致性要求。

#### 参考指标:

[1] D-PHY Specification, Section 9.1 Line 1563

[2] D-PHY Specification, Section 9.1, Table 26

#### 测试介绍:

在这项测试中, 将使用实时数字存储示波器捕获 HS 时钟信号的单个脉冲串样本。测量将在  $ZID = 100 \Omega$  欧姆终止情况下进行。差分时钟通道波形将计算为正负单端时钟通道波形 (VDPVDN) 之差。每个 UI 的宽度将通过测量差分波形连续零伏特交叉时间之间的差值来测量。

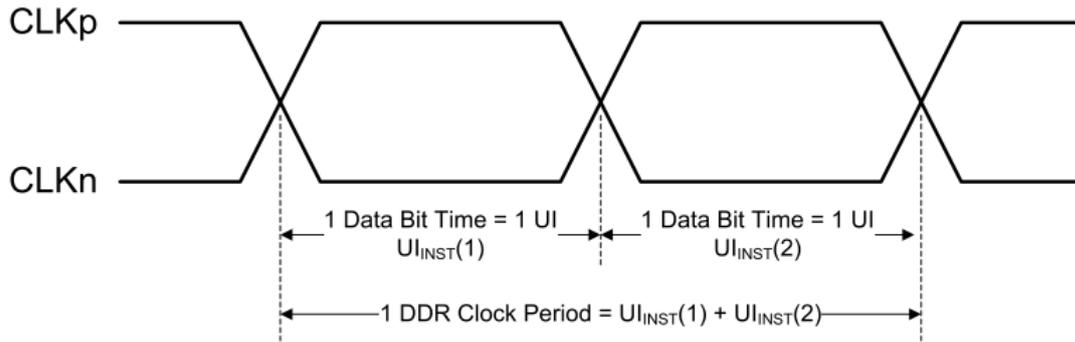


图 7-29  $UI_{INST}$  间隔

Clock Parameter	Symbol	Min	Typ	Max	Units	Notes
UI instantaneous	$UI_{INST}$			12.5	ns	1,2
UI variation	$\Delta UI$	-10%		10%	UI	3
		-5%		5%	UI	4

图 7-30  $\Delta UI$  规范要求

**可观测结果：**

对于  $ZID = 100 \Omega$ ：

- （工作速率  $\leq 1$  Gbps 的 DUT）：验证峰值  $\Delta UI$  是否介于 -10% 和 +10% 之间。
- （工作速率  $> 1$  Gbps 并且  $\leq 1.5$  Gbps 的 DUT）：验证峰值  $\Delta UI$  是否介于 -5%和 +5%之间。

**注意：** 由于采样波形的分辨率（即每个 UI 的采样数量）相对于一致性限制的高分辨率相对较低，此时计算得到的 UI 值会存在一定误差。如果计算这些 UI 值的倒数，可能会认为结果反映了发射机的瞬时比特率。这在一定程度上是正确的，但是结果会包含较程度的高频误差，原因在于采样速率的有限分辨率，以及因此导致的 UI 准确度问题（任何由于 DSO 样本速率受限而导致的 UI 宽度低估都会转化为下一个 UI 的宽度高估，反之亦然）。然而，可以通过使用低通滤波器过滤数据来去除这种误差，我们将使用 1023 阶的 FIR 低通滤波器，其 -3dB 截止频率为 2.0 MHz 来过滤 UI 数据，以消除高频噪声/误差成分。

## 8 HS-TX 时钟到数据通道的时序要求 (Group 5)

### 8.1 Test-1.5.1 HS Entry: 时钟预充电时间值

#### 8.1.1 测试设置

使 DUT 在数据通道 0 上产生重复的 HS 突发序列。

#### 8.1.2 测试步骤

- 将 DUT 连接到测试装置 (具体连接方式, 请参考 2.2 章节), 使时钟通道和数据通道 0 都连接到  $ZID = 100 \Omega$  的通道。
- 使 DUT 在数据通道 0 上产生重复的 HS 突发序列。
- 使用 DSO 捕捉时钟通道和数据通道 0 的 HS 突发序列。
- 测量  $T_{CLK-PRE}$ 。
- 对数据通道 1、2 和 3 (如果 DUT 实现了多个数据通道) 重复前面的步骤。

#### 8.1.3 测量 HS Entry: 时钟预充电时间值

**目的:** 验证在相关数据通道开始从 LP 模式过渡到 HS 模式之前驱动 HS 时钟的时间 ( $T_{CLK-PRE}$ ) 是否大于所需的最小值。在  $ZID=100\Omega$  的情况下进行测量, 对于所有观测到的突发序列和数据通道,  $T_{CLK-PRE}$  的测量值必须大于  $8*UI ns$  才能被视为符合标准 (其中 UI 为 DUT 的 HS 单位间隔平均值, 在测试 7.17 Test-1.4.17 中测量)。

#### 参考指标:

[1] D-PHY Specification, Section 5.2, Line 751

[2] D-PHY Specification, Section 5.9, Table 14

#### 测试介绍:

作为启动 HS (高速) 数据突发传输过程的一部分, 《D-PHY 规范》规定了主设备在将任何数据通道 (Data Lane) 从 LP (低功耗) 模式驱动出去之前, 必须传输有效的 HS 时钟信号的最短持续时间。该时间间隔定义为  $T_{CLK-PRE}$ , 如下图所示。

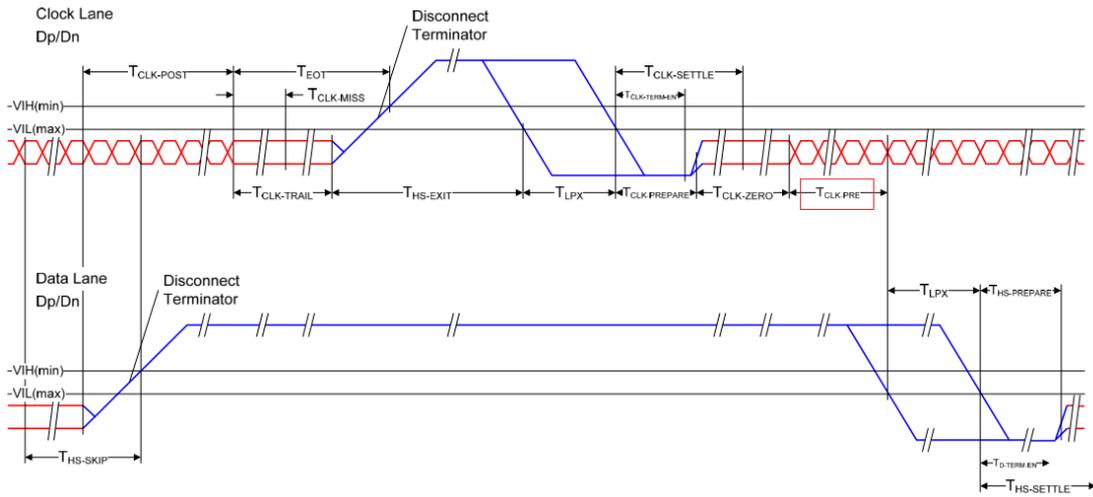


图 8-1 时钟通道  $T_{CLK-PRE}$  间隔

在此测试中, DUT 将被配置为发送重复的 HS 突发序列, 并观察  $T_{CLK-PRE}$  值。 $T_{CLK-PRE}$  间隔是从时钟通道  $T_{CLK-ZERO}$  间隔 (时钟通道差分波形低于最小有效 HS-RX 差分阈值电平  $+70mV$  时) 到数据通道  $V_{DP} LP-01$  下降沿越过  $V_{IL,MAX}$  (550mV) 时的终点测量的。测量将仅使用  $ZID = 100 \Omega$  终端情况进行, 并将对所有数据通道进行测量。

Parameter	Description	Min	Typ	Max	Unit
$T_{CLK-MISS}$	Timeout for receiver to detect absence of Clock transitions and disable the Clock Lane HS-RX.			60	ns
$T_{CLK-POST}$	Time that the transmitter continues to send HS clock after the last associated Data Lane has transitioned to LP Mode. Interval is defined as the period from the end of $T_{HS-TRAIL}$ to the beginning of $T_{CLK-TRAIL}$ .	$60 \text{ ns} + 52 * UI$			ns
$T_{CLK-PRE}$	Time that the HS clock shall be driven by the transmitter prior to any associated Data Lane beginning the transition from LP to HS mode.	8			UI

图 8-2  $T_{CLK-PRE}$  规范要求

**可观测结果:**

对于  $ZID = 100 \Omega$ , 以及对于所有数据通道:

验证  $T_{CLK-PRE}$  大于  $(8 * UI) \text{ ns}$ 。

**注意: 无。**

## 8.2 Test-1.5.2 HS Exit: 时钟后充电时间值

### 8.2.1 测试设置

使 DUT 在数据通道 0 上产生重复的 HS 突发序列。

### 8.2.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节），使时钟通道和数据通道 0 都连接到  $ZID = 100 \Omega$  的通道。
- 使 DUT 在数据通道 0 上产生重复的 HS 突发序列。
- 使用 DSO 捕捉时钟通道和数据通道 0 的 HS 突发序列。
- 测量  $T_{CLK-POST}$ 。
- 对数据通道 1、2 和 3（如果 DUT 实现了多个数据通道）重复前面的步骤。

### 8.2.3 测量 HS Exit: 时钟后充电时间值

**目的:** 验证在相关数据通道开始从 LP 模式过渡到 HS 模式之前驱动 HS 时钟的时间 ( $T_{CLK-PRE}$ ) 是否大于所需的最小值。在  $ZID=100\Omega$  的情况下进行测量，对于所有观测到的突发序列和数据通道， $T_{CLK-POST}$  的测量值必须大于  $(60ns + 52*UI)ns$  才能被视为符合一致性标准（其中 UI 为 DUT 的 HS 单位间隔平均值，在测试 7.17 Test-1.4.17 中测量）。

#### 参考指标:

[1] D-PHY Specification, Section 5.2, Line 751

[2] D-PHY Specification, Section 5.9, Table 14

#### 测试介绍:

作为完成 HS 数据突发传输过程的一部分，D-PHY 规范规定了主设备在最后一条数据通道切换到 LP 模式后必须继续传输 HS 时钟信号的最短持续时间（请注意，此测试仅适用于时钟通道上支持非连续时钟行为的 DUT）。该时间间隔定义为  $T_{CLK-POST}$ ，如下图所示。

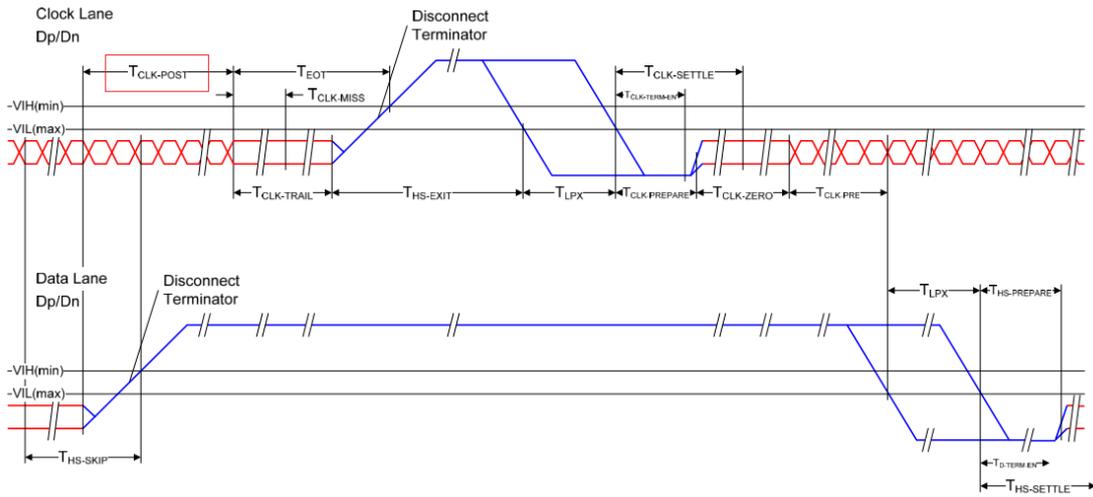


图 8-3 时钟通道  $T_{CLK-POST}$  间隔

在此测试中, DUT 将被配置为发送重复 HS 突发序列, 并观察  $T_{CLK-POST}$  值。 $T_{CLK-POST}$  间隔的测量是从数据通道  $T_{HS-TRAIL}$  周期结束到时钟通道  $T_{CLK-TRAIL}$  周期开始。(有关  $T_{HS-TRAIL}$  和  $T_{CLK-TRAIL}$  间隔的测量细节, 请分别参见 6.13 Test-1.3.13 和 7.13 Test-1.4.13)。测量将仅使用  $ZID = 100 \Omega$  终端情况, 并将对所有数据通道进行测量。

Parameter	Description	Min	Typ	Max	Unit
$T_{CLK-MISS}$	Timeout for receiver to detect absence of Clock transitions and disable the Clock Lane HS-RX.			60	ns
$T_{CLK-POST}$	Time that the transmitter continues to send HS clock after the last associated Data Lane has transitioned to LP Mode. Interval is defined as the period from the end of $T_{HS-TRAIL}$ to the beginning of $T_{CLK-TRAIL}$ .	$60 \text{ ns} + 52 * UI$			ns

图 8-4  $T_{CLK-PRE}$  规范要求

**可观测结果:**

对于  $ZID = 100 \Omega$ , 以及对于所有数据通道:

验证  $T_{CLK-POST}$  大于  $(60\text{ns} + 52 * UI)$  ns。

**注意:** 无。

## 8.3 Test-1.5.3 高速时钟上升沿与首个有效载荷位的对齐

### 8.3.1 测试设置

使 DUT 在数据通道 0 上产生重复的 HS 突发序列。

### 8.3.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节），使时钟通道和数据通道 0 都连接到  $ZID = 100 \Omega$  的通道。
- 使 DUT 在数据通道 0 上发出重复的 HS 突发序列。
- 使用 DSO 捕捉 HS 突发序列（以及相关的时钟通道信号）。
- 观察与传输突发的第一个数据通道有效载荷位相对应的 DDR 时钟边沿的方向（即上升沿或下降沿）。
- 对数据通道 1、2 和 3（如果 DUT 实现多个数据通道）重复前面的步骤。

### 8.3.3 测量高速时钟上升沿与首个有效载荷位的对齐

**目的：**验证 DUT HS 时钟是否与有效载荷数据信号正确对齐。

#### 参考指标：

[1] D-PHY Specification, Section 5.2, Line 751

[2] D-PHY Specification, Section 5.9, Table 14

#### 测试介绍：

发射器应当确保在传输突发序列的第一个有效载荷位期间发送 DDR 时钟的上升沿，以便接收器可以在时钟的上升沿对第一个有效载荷位进行采样，在下降沿对第二个位进行采样，并且随后的所有位都可以在交替的上升沿和下降沿进行采样。如下图所示。

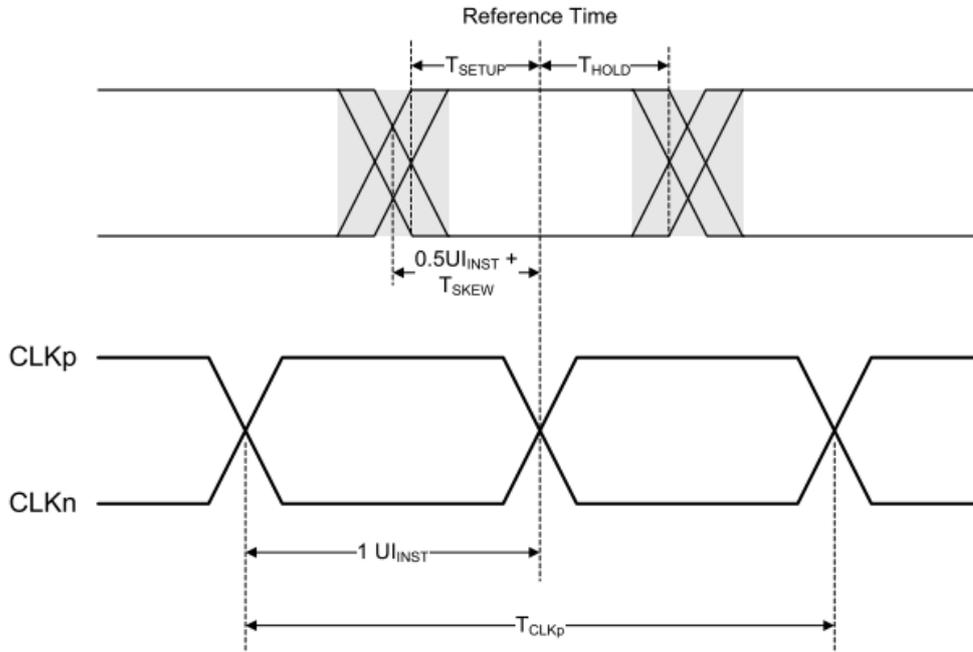


图 8-5 数据到时钟时序定义

在此测试中，DUT 将被配置为发送重复的数据通道 HS 突发序列，并使用实时 DSO 观察时钟和数据通道信号。通过观察信号来验证突发数据的第一个有效载荷位（即同步字节后的第一个位）是否与 DDR 时钟的上升沿一致。

在高速数据传输过程中，在给定实现中可能达到的最小瞬时 UI。图 8-6 中的参数指定为该值的一部分。偏斜规范  $T_{SKEW[TX]}$  是数据启动时间与理想  $\frac{1}{2}UI_{INST}$  移位正交时钟边沿的允许偏差。设置时间和保持时间 ( $T_{SETUP[RX]}$  和  $T_{HOLD[RX]}$ ) 分别描述数据信号和时钟信号之间的时序关系。 $T_{SETUP[RX]}$  是数据在时钟上升沿或下降沿之前出现的最短时间， $T_{HOLD[RX]}$  是数据在时钟上升沿或下降沿之后保持当前状态的最短时间。接收器的时序预算规格应代表接收器可观察到的最小变化，接收器将在最大指定可接受误码率下运行。时序预算的目的是留出  $0.4 * UI_{INST}$ ，即  $\pm 0.2 * UI_{INST}$ ，以应对互连造成的劣化。数据-时钟定时规范确定了高速数据传输中数据信号与时钟信号之间的时间关系的要求。确保了数据的正确同步和接收（CTS 是直接看观察波形图像以验证突发数据的第一个有效负载位（即同步字节之后的第一个位）是否与 DDR 时钟的上升沿对齐）。

Parameter	Symbol	Min	Typ	Max	Units
Data to Clock Skew (measured at transmitter)	$T_{SKEW[TX]}$	-0.15		0.15	$UI_{INST}$
Data to Clock Setup Time (receiver)	$T_{SETUP[RX]}$	0.15			$UI_{INST}$
Clock to Data Hold Time (receiver)	$T_{HOLD[RX]}$	0.15			$UI_{INST}$

图 8-6 数据-时钟定时规范

**可观测结果：**

对于  $ZID = 100 \Omega$ ，以及对于所有数据通道：

验证突发数据的第一个有效载荷位是否与 DDR 时钟的上升沿一致。

**注意：**无。

## 8.4 Test-1.5.4 数据与时钟偏斜 lock Skew ( $T_{\text{SKEW}[\text{TX}]}$ )

### 8.4.1 测试设置

使 DUT 在数据通道 0 上产生重复的 HS 突发序列。

### 8.4.2 测试步骤

- 将 DUT 连接到测试装置（具体连接方式，请参考 2.2 章节），使时钟通道和数据通道 0 都连接到  $ZID = 100 \Omega$  的通道。
- 使 DUT 在数据通道 0 上发出重复的 HS 突发序列。
- 使用 DSO 捕捉 HS 突发序列（以及相关的时钟通道信号）。
- 观察与传输突发的第一个数据通道有效载荷位相对应的 DDR 时钟边沿的方向（即上升沿或下降沿）。
- 对数据通道 1、2 和 3（如果 DUT 实现多个数据通道）重复前面的步骤。

### 8.4.3 测量数据与时钟偏斜 lock Skew ( $T_{\text{SKEW}[\text{TX}]}$ )

**目的：**验证在发送器 ( $T_{\text{SKEW}[\text{TX}]}$ ) 测量的时钟和数据信号之间的偏斜是否在一致性限值范围内。

#### 参考指标：

[1] D-PHY Specification, Section 5.2, Line 1083

[2] D-PHY Specification, Section 5.9, Table 30

#### 测试介绍：

发射器应当确保在传输突发序列的第一个有效载荷位期间发送 DDR 时钟的上升沿，以便接收器可以在时钟的上升沿对第一个有效载荷位进行采样，在下降沿对第二个位进行采样，并且随后的所有位都可以在交替的上升沿和下降沿进行采样。如下图所示。

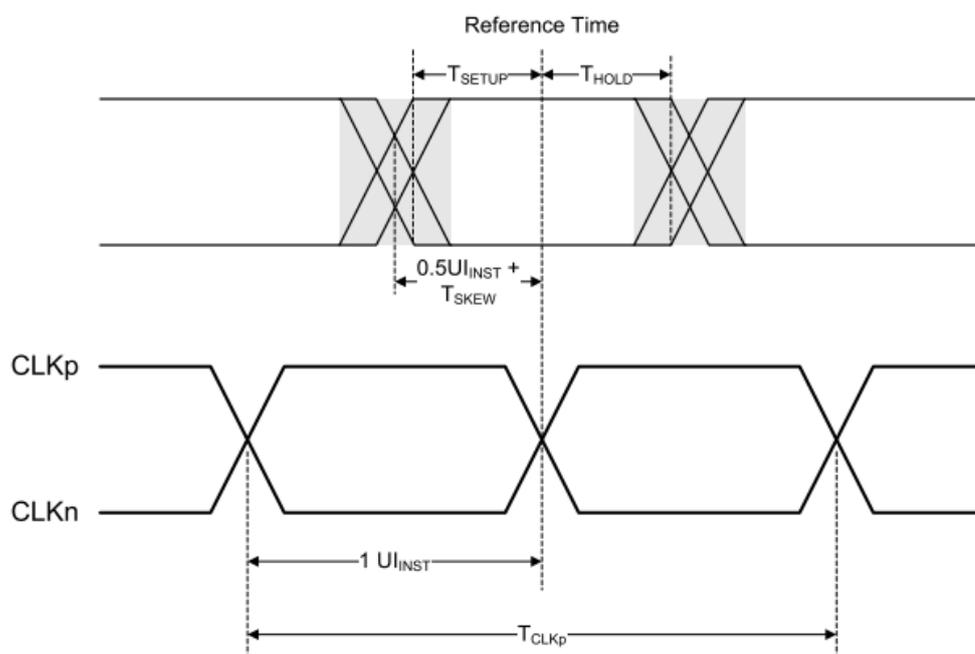


图 8-7 数据到时钟时序定义

在这个测试中，DUT（待测设备）将会配置成发送重复的高速（HS）突发序列，时钟和数据通道信号将使用实时示波器进行观测。每条数据通道边缘与其相应的时钟通道边缘之间的定时误差（ $T_{SKEW[TX]}$ ）将在至少 10,000 个边缘上计算，生成一个定时误差值数组。记录所有观测到的边缘上的最大、最小和平均定时误差值。仅使用 ZID=100 欧姆终端情况下的测量将被执行，并且将对所有数据通道进行测量。

Parameter	Symbol	Units in UIinst			Operational Frequency in Gbps	
		Min	Max	Total	Min	Max
Data to Clock Skew	$T_{SKEW[TX]}$	-0.15	0.15	0.30	0.08	1.0
		-0.20	0.20	0.40	>1.0	1.5
	$T_{SKEW[TLIS]}$	-0.20	0.20		0.08	1.0
		-0.10	0.10		>1.0	1.5

图 8-8  $T_{SKEW[TX]}$ 规范

#### 可观测结果：

对于 ZID = 100  $\Omega$ ，以及对于所有数据通道：

- （工作速率  $\leq 1$  Gbps 的 DUT）：验证最大、最小和平均时钟到数据定时误差值在  $(0.50 \pm 0.15) * UI_{INST}$  范围内。
- （工作速率  $> 1$  Gbps 并且  $\leq 1.5$  Gbps 的 DUT）：验证最大、最小和平均时钟到数据定时误差值在  $(0.50 \pm 0.20) * UI_{INST}$  范围内。

注意：无。

## 关于鼎阳

鼎阳科技（SIGLENT）是通用电子测试测量仪器领域的行业领军企业，A 股上市公司。

2002 年，鼎阳科技创始人开始专注于示波器研发，2005 年成功研制出鼎阳第一款数字示波器。历经多年发展，鼎阳产品已扩展到数字示波器、手持示波表、函数/任意波形发生器、频谱分析仪、矢量网络分析仪、射频/微波信号源、台式万用表、直流电源、电子负载等基础测试测量仪器产品，是全球极少数能够同时研发、生产、销售数字示波器、信号发生器、频谱分析仪和矢量网络分析仪四大通用电子测试测量仪器主力产品的厂家之一，国家重点“小巨人”企业。同时也是国内主要竞争对手中极少数同时拥有这四大主力产品并且四大主力产品全线进入高端领域的厂家。公司总部位于深圳，在美国克利夫兰、德国奥格斯堡、日本东京成立了子公司，在成都成立了分公司，产品远销全球 80 多个国家和地区，SIGLENT 已经成为全球知名的测试测量仪器品牌。

## 联系我们

深圳市鼎阳科技股份有限公司  
全国免费服务热线：400-878-0807  
网址：[www.siglent.com](http://www.siglent.com)

## 声明

 SIGLENT 鼎阳是深圳市鼎阳科技股份有限公司的注册商标，事先未经允许，不得以任何形式或通过任何方式复制本手册中的任何内容。本资料中的信息代替原先的此前所有版本。技术数据如有变更，恕不另行通告。

## 技术许可

对于本文档中描述的硬件和软件，仅在得到许可的情况下才会提供，并且只能根据许可进行使用或复制。

